

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-041241

(43)Date of publication of application : 12.02.1999

(51)Int.Cl.

H04L 12/28

H04Q 3/00

(21)Application number : 09-193413

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.07.1997

(72)Inventor : MITSUNAGA DAIJI

TERADA YUJI

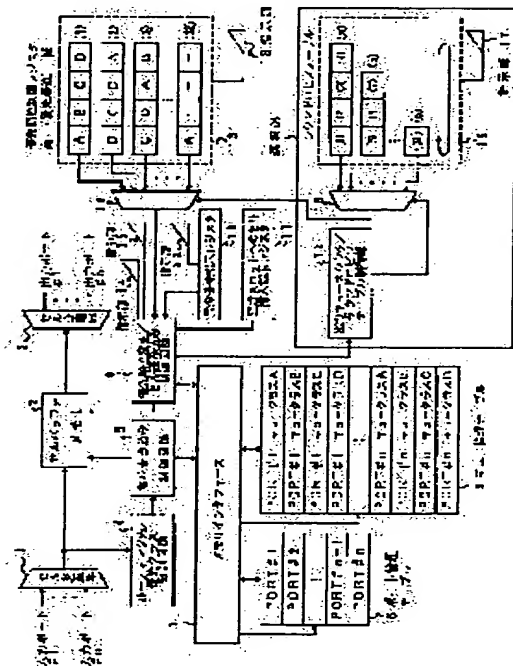
MATSUHASHI SATOSHI

(54) ATM SWITCH AND CELL OUTPUT PRIORITY CONTROL METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently perform the priority control of output cells at an ATM switch and further to guarantee the output bands of respective classes.

SOLUTION: The cells are held in a cell buffer 2 in the order of input for each output port and each class. A priority control register 13 holds plural kinds of priority for the respective classes. As for the class having the cell to be held in the cell buffer 2 and high in priority, a priority change/cell read control circuit 6 outputs the first inputted cell from the output port according to the selected priority of the priority control register 13. An output queue counter/round robin table control part 12 counts the output cells in each cycle for each class of the port and when the count value gets equal with a set value, the switching of the round robin table 15 is controlled so as to select the priority, which does not include the class of the output port, from the priority control register.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-41241

(43) 公開日 平成11年(1999) 2月12日

(51) Int.Cl.⁴

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

H

H 0 4 Q 3/00

H 0 4 Q 3/00

H 0 4 L 11/20

G

審査請求 未請求 請求項の数 9 O L (全 34 頁)

(21) 出願番号 特願平9-193413

(22) 出願日 平成9年(1997) 7月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 満永 大司

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72) 発明者 寺田 祐二

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72) 発明者 松橋 聡

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

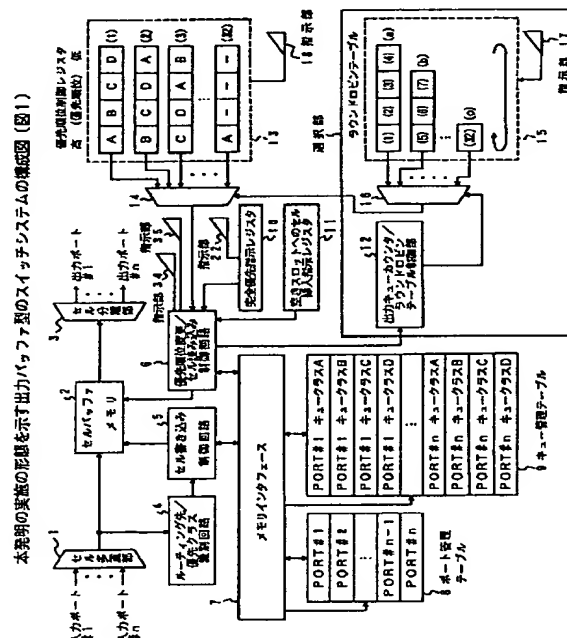
(74) 代理人 弁理士 富田 和子

(54) 【発明の名称】 A T Mスイッチ及びそのセル出力優先制御方法

(57) 【要約】

【課題】 ATMスイッチにおいて、効率的に出力セルの優先制御を行い、さらに、各クラスの出力帯域を保証する。

【解決手段】 出力ポート毎であって、クラス毎に、入力した順にセルをセルバッファ2に保持させる。優先順位制御レジスタ13は、各クラスの優先順位を複数種保持する。優先順位変更／セル読み込み制御回路6は、選択された優先順位制御レジスタ13の優先順位に従い、セルバッファ2に保持されるセルがあるクラスであって、優先順位のより高いクラスについて、最先に入力したセルを、出力ポートから出力させる。出力キューカウンタ／ラウンドロビンテーブル制御部12が、出力セルを各ポートのクラス毎に、各周期ごとに計数し、設定値と等しくなったときに、当該出力ポートの当該クラスを含まない優先順位を、優先順位制御レジスタから選択するようにラウンドロビンテーブル15の切り替えを制御する。



【特許請求の範囲】

【請求項1】セルを入力し、予め定められた、当該入力したセルに付加されているサービスの種類を示すクラスに従い、宛先に対応する出力ポートからセルを出力するATMスイッチであって、

前記出力ポート毎であって、前記クラス毎に、前記入力した順にセルを保持するセル保持手段と、

前記出力ポート毎であって、前記クラス毎に、前記セル保持手段に保持されるセルがあるかないかを管理する管理手段と、

前記クラスの複数種の優先順位を保持する優先順位保持手段と、前記優先順位保持手段からいずれか1つの優先順位を選択する選択手段と、前記出力ポート毎に、前記選択手段により選択された優先順位において、より高いクラスであって、前記管理手段において前記セル保持手段に保持されているセルがあると管理されているクラスについて、最先に入力した、前記セル保持手段に保持されているセルを、当該ポートから出力させる読み込み制御手段とを有し、前記選択手段は、あらかじめ定めた時間毎に、当該選択する種類を切り替え、また、前記出力ポート毎の各クラスのセルの出力帯域を監視し、当該監視した出力帯域が、当該出力ポートの当該クラスの出力帯域の設定値となったときに、当該出力ポートについての当該クラスを含まない優先順位を、前記優先順位保持手段から選択することを特徴とするATMスイッチ。

【請求項2】請求項1において、前記選択手段は、前記あらかじめ定めた時間毎に、前記選択する種類を切り替えるために、当該優先順位の種類の切替の順序を示すパターンを複数種類さらに備え、前記監視した出力帯域が、前記出力ポートの当該クラスの出力帯域の設定値となったときに、当該出力ポートの当該クラスを含まないパターンにしたがって、前記優先順位を、前記優先順位保持手段から選択することを特徴とするATMスイッチ。

【請求項3】請求項1において、前記選択手段は、前記出力ポート毎の各クラスの、あらかじめ定めた時間における出力されたセル数を計数することにより、前記出力帯域の監視を行なうことを特徴とするATMスイッチ。

【請求項4】請求項1において、前記出力ポートごとの各クラスにおいて、前記優先順位保持手段の優先順位より優先する、前記出力ポートごとの少なくとも1つのクラスの優先順位を保持する完全優先順位保持手段をさらに有し、前記読み込み制御手段は、前記完全優先順位保持手段に保持されているクラスの優先順位を、前記選択された優先順位保持手段の優先順位より優先させて、前記セルを出力させることを特徴とするATMスイッチ。

【請求項5】請求項1において、前記出力ポート毎に、前記出力帯域が設定値未満のクラスのセルが前記セル保持手段に保持されていないときに、前記出力帯域が設定値となっているクラスのセルが前記セル保持手段に保持

されている場合に、当該クラスのセルの出力を許可する指示手段をさらに備え、前記読み込み制御手段は、前記出力帯域が設定値未満のクラスのセルが前記セル保持手段に保持されていないときに、前記出力帯域が設定値となっているクラスが、前記指示手段に許可されているクラスであって、当該クラスのセルが前記セル保持手段に保持されている場合には、当該クラスのセルを出力することを特徴とするATMスイッチ。

【請求項6】請求項1において、外部から前記優先順位を受け付け、前記優先順位保持手段に受け付けた優先順位を保持させる優先順位指示手段をさらに備えることを特徴とするATMスイッチ。

【請求項7】セルを入力し、予め定められた、当該入力したセルに付加されているサービスの種類を示すクラスに従い、宛先に対応する出力ポートからセルを出力するATMスイッチであって、

前記出力ポート毎であって、前記クラス毎に、前記入力した順にセルを保持するセル保持手段と、

前記出力ポート毎であって、前記クラス毎に、前記セル保持手段に保持されるセルがあるかないかを管理する管理手段と、

前記クラスの複数種の優先順位を保持する優先順位保持手段と、前記優先順位保持手段からいずれか1つの優先順位を選択し、また、あらかじめ定めた時間毎に、当該選択する種類を切り替える選択手段と、

前記出力ポートごとの各クラスにおいて、前記優先順位保持手段の優先順位より優先する、前記出力ポートごとの少なくとも1つのクラスの優先順位を保持する完全優先順位保持手段と、前記出力ポート毎に、前記完全優先順位保持手段に保持されているクラスの優先順位がある場合に、当該優先順位を、前記選択された優先順位保持手段の優先順位より優先させ、当該優先順位において、より高いクラスであって、前記管理手段において前記セル保持手段に保持されているセルがあると管理されているクラスについて、最先に入力した、前記セル保持手段に保持されているセルを、当該ポートから出力させる読み込み制御手段とを有することを特徴とするATMスイッチ。

【請求項8】複数の入力ポートと、複数の出力ポートと、前記複数の入力ポートから入力されたセルに付加されている宛先に対応する出力ポートと、当該セルに付加されているサービスの種類を示すクラスとを識別する識別回路と、

入力されたセルを保持するセルバッファと、入力されたセルを、前記出力ポート毎であって、前記クラス毎に、入力された順に前記セルバッファに保持させるために、当該セルバッファの書き込みアドレスを指示する書き込み制御回路と、

前記出力ポート毎に、前記優先順位のより高いクラスで

あって、前記セルバッファに保持されているセルがあるとクラスについて、最先に入力した、前記セルバッファに保持されているセルを、当該ポートから出力させるために、読み出しアドレスを指示する読み込み制御回路と、

前記書き込みアドレスと前記読み出しアドレスとを、前記出力ポート毎であって、前記クラス毎に保持する管理テーブルと、

前記クラスの複数種の優先順位を保持する優先順位制御レジスタと、前記優先順位制御レジスタからいずれか1つの優先順位を選択する選択回路とを有し、

前記選択回路は、あらかじめ定めた時間毎に、当該選択する種類を切り替え、また、前記出力ポート毎の各クラスのセルの出力帯域を監視し、当該監視した出力帯域が、当該出力ポートの当該クラスの出力帯域の設定値となったときに、当該出力ポートの当該クラスを含まない優先順位を、前記優先順位制御レジスタから選択することをことを特徴とするA T Mスイッチ。

【請求項9】セルを入力し、予め定められた、当該入力したセルに付加されているサービスの種類を示すクラスに従い、宛先に対応する出力ポートからセルを出力するA T Mスイッチにおけるセル出力優先制御方法であって、

前記出力ポート毎であって、前記クラス毎に、前記入力した順にセルを保持し、

前記出力ポート毎であって、前記クラス毎に、前記保持するセルがあるかないかを管理し、

前記クラスの複数種の優先順位をレジスタに保持させ、前記出力ポート毎の各クラスのセルの出力帯域を監視し、当該監視した出力帯域が、当該出力ポートの当該クラスの出力帯域の設定値となったときに、当該出力ポートの当該クラスを含まない優先順位の1つを、前記レジスタから選択し、あらかじめ定めた時間毎に、当該選択する種類を切り替え、前記出力ポート毎に、前記選択された優先順位において、より高いクラスであって、前記保持されているセルがあると管理されているクラスについて、最先に入力した、前記保持されているセルを、当該ポートから出力させることを特徴とするセル出力優先制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、A T Mスイッチにおいて、スイッチから出力されるセルに優先順位を付けて出力制御を行う方法に関する。

【0002】

【従来の技術】従来のA T Mスイッチにおけるセルの出力優先制御方式について、図16を参照して説明する。

【0003】図16において、A T Mスイッチは、セルを多重するセル多重部100と、セルを保持するセルバッファ101と、セルを出力ポート毎に分離するセル分

離部102と、セルのルーティング先及び予め定められた優先順位を示すクラスを識別するルーティング先／優先クラス識別回路103と、セルバッファ101への書き込みを制御するセル書き込み制御回路104と、セルバッファ101からの読み出しを制御するセル読み込み制御回路105と、セルバッファへの書き込みアドレスと読み出しアドレスとを管理する管理テーブル106とを備える。このA T Mスイッチは、N本の入力ポートから入力されるセルをN本の出力ポートに出力する出力バッファ型のスイッチシステムである。また、クラスは、予め優先順位が定められており、優先順位がより高いクラスのセルについて、優先的に出力させ、下位のクラスのセルを出力させる場合には、そのクラスより上位のクラスのセルを保持していない場合に、そのクラスのセルを出力させる完全優先制御方式により制御を行っている。

【0004】セルバッファ101は、出力ポート毎にクラス分に領域分けされ、入力された順にセルを保持し、より先に入力された順に出力するF I F Oバッファの構成を取る。また、管理テーブル106は、出力ポート毎に、出力優先のクラス分けの数分（図16に示す例では、AからDの4クラス分）領域を持ち、その各々の領域に、セルバッファへのセルの書き込みアドレスと読み出しアドレスとを保持する。セルバッファ101のアドレスは、セル書き込み制御回路104とセル読み込み制御回路105とで管理される。

【0005】セルの書き込み動作としては、入力ポートに入力されたセルは、ルーティング先／優先クラス識別回路103にて、出力ポートと優先クラスとが識別される。その後、セル書き込み制御回路104は、管理テーブル106を参照し、識別された該当ポートの該当クラス領域よりセルバッファ101への書き込みアドレスを得て、書き込みアドレスを指示し、セルバッファ101へセルを書き込む。また、セル書き込み制御回路104は、管理テーブルの書き込みアドレス値を+1（加算）することにより、管理テーブルに次の書き込みアドレスを指示する。以上の動作をセル書き込みタイミング毎に繰り返すことでセルバッファ101への書き込み動作を行う。

【0006】次に、セル読み込み制御回路105がセルを読み出す場合には、各ポート毎に、管理テーブルを参照し、全てのクラスについて、書き込みアドレスと読み出しアドレスとの差からセルバッファ101に保持するセル数を各クラス毎に求め、保持するセルがある、優先順位が一番高いクラスの読み出しアドレスを指示することにより、より先に入力されたセルを読み出す。セル読み込み制御回路105は、読み出し時に、管理テーブルの該当ポート、該当クラスの読み出しアドレスを+1

（加算）する事により、管理テーブルに次の読み出しアドレスを指示する。次のポートについても同様に処理し

ていく。以上のように処理することにより、優先順位に従ってセルを出力している。

【0007】

【発明が解決しようとする課題】上記従来技術による出力セルの優先制御の実現方法では、セルバッファ101の読み出し時に、管理テーブルの全てのクラスの領域にアクセスして、書き込みアドレスと読み出しアドレスとを読み出す必要があり、また、書き込みアドレスと読み出しアドレスとの差からセルバッファ101に保持するセル数を各クラス毎に求める必要がある。このため、管理テーブルへのアクセス頻度が高くなり、処理時間の関係からクラス分けの数に限界が生じる。

【0008】また、優先制御方式が完全優先制御であり、かつ、優先順位はある一つのパターンに固定されているため、セルバッファ101の読み出し時に優先順位の高いクラスばかりが出力される可能性がある。また、各クラスの出力帯域を、固定帯域に設定することができない。このため、希望する帯域を超えてセルが出力されてしまう恐れがある。

【0009】本発明の目的は、効率的に出力セルの優先制御を行うことができ、また、クラス分け（優先順位）の数が増えた場合にも、処理時間が増大しないA T Mスイッチ及びそのセル出力優先制御方法を提供することにある。

【0010】また、本発明の他の目的は、出力ポート毎に各クラスの出力帯域を設定でき、かつ、出力帯域の保証が可能なA T Mスイッチ及びそのセル出力優先制御方法を提供することにある。

【0011】

【課題を解決するための手段】本発明では、セルを入力し、予め定められた、当該入力したセルに付加されているサービスの種類を示すクラスに従い、宛先に対応する出力ポートからセルを出力するA T Mスイッチであって、前記出力ポート毎であって、前記クラス毎に、前記入力した順にセルを保持するセル保持手段と、前記出力ポート毎であって、前記クラス毎に、前記セル保持手段に保持されるセルがあるかないかを管理する管理手段と、前記クラスの複数種の優先順位を保持する優先順位保持手段と、前記優先順位保持手段からいずれか1つの優先順位を選択する選択手段と、前記出力ポート毎に、前記選択手段により選択された優先順位において、より高いクラスであって、前記管理手段において前記セル保持手段に保持されているセルがあると管理されているクラスについて、最先に入力した、前記セル保持手段に保持されているセルを、当該ポートから出力させる読み込み制御手段とを有し、前記選択手段は、あらかじめ定めた時間毎に、当該選択する種類を切り替え、また、前記出力ポート毎の各クラスのセルの出力帯域を監視し、当該監視した出力帯域が、当該出力ポートの当該クラスの出力帯域の設定値となったときに、当該出力ポートにつ

いての当該クラスを含まない優先順位を、前記優先順位保持手段から選択する。

【0012】より具体的には、複数の入力ポートと、複数の出力ポートと、前記複数の入力ポートから入力されたセルに付加されている宛先に対応する出力ポートと、当該セルに付加されているサービスの種類を示すクラスとを識別する識別回路と、入力されたセルを保持するセルバッファと、入力されたセルを、前記出力ポート毎であって、前記クラス毎に、入力された順に前記セルバッファに保持させるために、当該セルバッファの書き込みアドレスを指示する書き込み制御回路と、前記出力ポート毎に、前記優先順位のより高いクラスであって、前記セルバッファに保持されているセルがあるとクラスについて、最先に入力した、前記セルバッファに保持されているセルを、当該ポートから出力させるために、読み出しアドレスを指示する読み込み制御回路と、前記書き込みアドレスと前記読み出しアドレスとを、前記出力ポート毎であって、前記クラス毎に保持する管理テーブルと、前記クラスの複数種の優先順位を保持する優先順位制御レジスタと、前記優先順位制御レジスタからいずれか1つの優先順位を選択する選択回路とを有し、前記選択回路は、あらかじめ定めた時間毎に、当該選択する種類を切り替え、また、前記出力ポート毎の各クラスのセルの出力帯域を監視し、当該監視した出力帯域が、当該出力ポートの当該クラスの出力帯域の設定値となったときに、当該出力ポートの当該クラスを含まない優先順位を、前記優先順位制御レジスタから選択することができる。

【0013】本発明によれば、複数のサービス（品質）クラス毎に分けられたセルバッファ内のセルを優先順位の高いものから効率的に読み出すことができる。セル読み出し処理時、読み出すべきクラスを簡単に認識することができ、また、セルの読み出しアドレスを格納した管理テーブルへのアクセスは、出力するクラスに対応する領域のみで済むので、クラス分けの数が増えても処理時間に影響を与えることがない。

【0014】また、本発明によれば、前記出力ポート毎の各クラスのセルの出力帯域を監視し、当該監視した出力帯域が、当該出力ポートの当該クラスの出力帯域の設定値となったときに、当該出力ポートの当該クラスを含まない優先順位を、前記優先順位保持手段から選択するため、出力帯域を保証することができる。また、選択する優先順位の種類を切り替えるあらかじめ定めた時間を、設定することにより帯域分割を実現することができる。一つのクラスばかりが出力されることを避けられる。

【0015】

【発明の実施の形態】本発明の第1の実施の形態を図1を参照して説明する。

【0016】図11において、A T Mスイッチは、セル

を多重するセル多重部1と、セルを保持するセルバッファ2と、セルを出力ポート毎に分離するセル分離部3と、セルのルーティング先及び優先クラスを識別するルーティング先/優先クラス識別回路4と、セルバッファ2への書き込みを制御するセル書き込み制御回路5と、セルバッファ2からの読み出しを制御するセル読み込み制御回路90と、出力の優先順位を保持する優先順位制御レジスタ92(a)~(d)の4つと、ラウンドロビンテーブル91と、4つの優先順位制御レジスタの中でどの優先順位制御レジスタを利用するか選択する優先順位制御レジスタ選択部93と、出力ポート毎であって、各クラス毎にセルバッファ2に保持されるセルがあるかないかをフラグ(以下、キューフラグという)により示すポート管理テーブル8と、セルバッファ2の書き込みアドレスと読み出しアドレスとを出力ポート毎であって、各クラス毎に保持するキュー管理テーブル9とを備える。本発明の実施の形態におけるA T Mスイッチは、N本の入力ポートから入力されるセルをN本の出力ポートに出力する出力バッファ型のスイッチシステムである。クラスは、優先順位制御レジスタによって優先順位(本実施の形態において、優先順位列を単に優先順位という)が定められ、優先順位がより高いクラスのセルについて、優先的に出力させ、下位のクラスのセルを出力させる場合には、そのクラスより上位のクラスのセルを保持していない場合にそのクラスのセルを出力させる完全優先制御方式により制御を行っている。さらに、ラウンドロビンテーブルによって、複数種類ある優先順位制御レジスタのうち利用する優先順位制御レジスタを定期的に巡回させることで、完全優先制御によるセル出力クラスの偏りをなくし、帯域分割を実現する。

【0017】本実施の形態では、品質クラスの数クラスAからクラスDまでの4つとした場合を例にする。図2に、ポート管理テーブル8の構成を示す。

【0018】ポート管理テーブル8は、図2に示すように、4つのクラスに分けられたセルのキュー(待ち状態)があるかないかを示すキューフラグの情報を、出力ポート毎に、各クラス1ビットずつ記憶する。このため、テーブル全体の容量は4ビット×n(ポート数)ビットの容量を備える。キューフラグは、セルバッファ2に保持されるセルがある時(キュー有りの時)に1がセットされ、セルバッファ2に保持されるセルが無い時(キュー無しの時)にはリセットされて0を示す。

【0019】また、キュー管理テーブル9は、図11に示すように、各ポートごとに、各クラス(クラスA~クラスD)分の領域を備え、各ポートごとの各クラスのセルバッファ2のセルの書き込み位置情報(書き込みアドレス)と、読み出し位置情報(読み出しアドレス)と、書き込みアドレス値から読み出しアドレス値を減算した値であるキュー値(セルバッファ2に保持されるセル数)とが格納される。テーブル全体の容量は4(クラス数)

ビット×n(ポート数)ビット×(セル書き込みアドレスのビット数+読み出しアドレスのビット数+キュー値のビット数)を備える。

【0020】また、セルバッファ2は、出力ポート毎にクラス分に領域分けされ、入力された順に保持し、より先に入力された順に出力するF I F Oバッファの構成を取る。セルバッファ2のアドレスは、セル書き込み制御回路5とセル読み込み制御回路90とで管理され、出力ポート毎であってクラス毎にF I F Oバッファを持つようにアドレス値が示され、本実施の形態においてアドレスは、シーケンシャルな番号であるものとし、アドレス1から順番に保持するものとする。

【0021】ルーティング先/優先クラス識別回路4は、セルに付加されているセルヘッダ情報を解析し、セルヘッダ情報に含まれる宛先に対応する出力ポートと出力の優先順位を示すクラスとを識別する。

【0022】セル書き込み制御回路5は、前記入力されたセルについて、ルーティング先/優先クラス識別回路4で識別された、セルの出力ポートとクラスとに従って、キュー管理テーブル9を参照することにより入力された順にセルバッファ2の書き込みアドレスを指示して当該入力されたセルをセルバッファ2に保持させる。また、セル書き込み制御回路5は、書き込んだセルの出力ポートの該当クラスのポート管理テーブル8のキューフラグをセットし、また、書き込んだセルの出力ポートの該当クラスのキュー管理テーブル9の、書き込みアドレスを+1(加算)することにより、つぎの書き込みアドレスを示すように指示する。さらに、書き込んだセルの出力ポートの該当クラスのキュー管理テーブル9の、キュー値を+1(加算)する。

【0023】優先順位制御レジスタ92は、各クラスの優先順位を保持する。例えば、クラスとして、A、B、C及びDがある場合に、優先順位としては、高いものからA、B、C、Dとするように保持しておく。優先順位制御レジスタ92は、書替えが可能であり、指示部94からクラスの優先順位を指示し、優先順位制御レジスタ92に優先順位を保持させることができる。

【0024】優先順位制御レジスタ選択部93は、4つの優先順位制御レジスタ(a)~(d)のうちいずれか一つを選択する選択部である。ラウンドロビンテーブル91は、優先順位制御レジスタ選択部93が優先順位制御レジスタ(a)~(d)のうちどれを選択するかの選択信号を生成する選択信号生成部である。ラウンドロビンテーブル15の(a)~(d)は、各々優先順位制御レジスタ(a)~(d)を示し、(a)→(b)→(c)→(d)・・・→(a)→(b)・・・と定期的に選択信号を出力する。セル読み込み制御回路90は、セルバッファ読み出し処理時に、優先順位制御レジスタを参照し、その優先順位に従い、セルを読み出す構成をとっている。優先順位制御レジスタの優先順位が、ある1

つのパターンに固定されていると、読み出し要求毎に優先順位の高いクラスのセルばかりが出力される可能性があるが、これに対して、第1の実施の形態では、セル読み込み制御回路90が検索する優先順位制御レジスタを巡回させることができる。この場合、選択信号(a)、(b)、(c)、(d)のいずれかによって4つの優先順位制御レジスタ(a)～(d)のいずれかを利用することができる。

【0025】例えば、ある読み出しタイミングにおいて、ラウンドロビンテーブル91の値が“(a)”であった場合は、セル読み込み制御回路90が検索する優先順位制御レジスタは優先順位制御レジスタ(a)であり、読み出しセルの優先順位はクラスA、クラスB、クラスC、クラスDの順番となる。また、別の読み出しタイミング時に、ラウンドロビンテーブル91の値が“(C)”であった場合は、セル読み込み制御回路90が検索する優先順位制御レジスタは優先順位制御レジスタ(C)であり、読み出しセルの優先順位はクラスC、クラスD、クラスA、クラスBの順番となる。これにより、優先順位の高いクラスのセルに偏って読み出されることを回避し、各クラスに出力の機会を与えることができる。

【0026】セル読み込み制御回路90は、出力ポートごとに、優先順位制御レジスタ選択部93によって選択されている、優先順位制御レジスタ92が保持する優先順位の高いクラスから順番に、ポート管理テーブル8のキューフラグを参照し、セルバッファ2に保持されるセルがあると示されているキューフラグに対応するクラスのより先に入力されたセルを、キュー管理テーブル9を参照し、読み出しアドレスを指示して当該出力ポートから出力させる。また、キュー管理テーブル9が保持する読み出しアドレスを、当該出力させたセルのつぎに入力されたセルの読み出しアドレスを示すように、読み出しアドレスを+1(加算)する。さらに、当該出力させた出力ポートのクラスの、キュー管理テーブル9のキュー値を-1(減算)し、キュー値が0のとき、すなわち、セルバッファ2に保持されるセルがない場合に、当該出力させた出力ポートのクラスのポート管理テーブル8のキューフラグをリセットする。

【0027】つぎに、図11を参照してセルバッファ2への書き込みと読み出しとの動作を説明する。

【0028】図11において、各入力ポートから入力されるセルは、セル多重部1でセル単位に多重された後、ルーティング先/優先クラス識別回路4でセルに付加されているセルヘッダ情報が解析される。セルヘッダ情報には、出力先ポートの識別情報とセルのクラスの識別情報とが含まれている。ルーティング先/優先クラス識別回路4は、セルヘッダ情報に含まれるセルの出力ポート

を認識すると共に、入力されたセルの出力の優先順位を示すクラスを識別し、セル書き込み制御回路5に識別結果を出力する。

【0029】ルーティング先/優先クラス識別回路4にて、出力ポートと優先クラスとが識別された後、セル書き込み制御回路5は、ポート管理テーブルの該当ポート、該当クラス領域にキューフラグをセットし(論理値“1”にし)、キュー管理テーブル9の該当ポートの該当クラス領域を参照し、セルバッファ2への書き込みアドレスを得て、この書き込みアドレスを指示する事により、セルバッファ2へセルの情報を書き込む。また、セル書き込み制御回路5は、書き込んだセルの出力ポートの該当クラスのキュー管理テーブル9の、書き込みアドレスを+1(加算)することにより、つぎの書き込みアドレスを示すように指示する。さらに、書き込んだセルの出力ポートの該当クラスのキュー管理テーブル9の、キュー値を+1(加算)する。

【0030】以上の動作を、セル書き込みタイミング毎に繰り返すことでセルバッファ2への書き込み動作を行う。

【0031】セルを読み出す場合には、セルバッファ2からセルを読み出すタイミングは、ポート1からポートNまでそれぞれ定期的に到来する。まず、セル読み込み制御回路90は、ポート管理テーブル8を検索し、所定のポートのクラスA～クラスDまでの各々のキューフラグを認識する。次に、クラスA～クラスDまでの優先順位を予め設定してある優先順位制御レジスタ92を検索し、セルの読み出し優先順位を認識する。次に、セル読み込み制御回路90は、優先順位に従って、ポート管理テーブルの該当出力ポートの該当クラスのキューが論理“1”のクラスについて、キュー管理テーブル9から読み出しアドレスを得て、この読み出しアドレスを指示することによりセルバッファ2からセルの情報を読み出す。また、キュー管理テーブル9が保持する読み出しアドレスを、当該出力させたセルのつぎに入力されたセルの読み出しアドレスを示すように、読み出しアドレスを+1(加算)する。さらに、当該出力させた出力ポートのクラスの、キュー管理テーブル9のキュー値を-1(減算)し、減算後のキュー値が0のとき、当該出力させた出力ポートのクラスのポート管理テーブル8のキューフラグをリセットする。

【0032】このようにして、セル読み込み制御回路90は、キューフラグが“1”であるクラスについて、優先クラス順に、キュー管理テーブル9より、セル読み出しアドレスを得て、このセルの格納されているセルバッファ2内の読み出しアドレスを順次指示し、セルバッファ2からセルを読み出す。セル分離部3では、セルバッファメモリから読み出されたセルを各出力ポート毎に分離する。

【0033】読み出し動作は、あるポートにおいて、あ

るクラスのセルを1つ出力したら次のポートの処理へ移り同様な処理を行い、ポート1からポートNまでの処理が繰り返し行われる。

【0034】 つぎに、セル読み込み制御回路90における詳細な動作を図12～図15を参照して説明する。図13に、セル読み込み制御回路90におけるセルバッファ読み出しフローを示す。また、図12に、ポート管理テーブルのキューフラグの例を示す。図12(a)に示すように、出力ポート1の各クラスのキューフラグを、クラスAは“1”、クラスBは“0”、クラスCは“0”、クラスDは“1”とし、また、ラウンドロビンテーブル91の値が“(a)”、つまり、優先順位制御レジスタ選択部93が選択する優先順位制御レジスタが(a)であり、優先順位制御レジスタ(a)に設定されている優先順位情報を、クラスA、B、C、Dの順番(クラスAが優先順位が一番高く、クラスDが優先順位が一番低い)とした場合について、図13を用いて説明する。

【0035】 図13において、まずセル読み込み制御回路は、ポート管理テーブル8のポート1の領域を検索し(ステップ40)、A=1、B=0、C=0、D=1の情報を認識する(ステップ41)。次に、セル読み込み制御回路は、優先順位制御レジスタ92(a)を検索し、各クラスの優先順位が、クラスA、B、C、Dの順番であることを認識する(ステップ42)。ステップ41および42によって、以降のクラス単位の処理の順番が決まり、図13に示すように、この場合、クラスAから、実際のセルバッファ2からの読み出し動作を行う(ステップ45)。この例において、クラスAは、既にキューフラグが“1”であるので、キューフラグ状態判定(ステップ95)において、判定後分岐47へ移り、キュー管理テーブル9のポート1のクラスAの領域を参照することによりセルバッファ2の読み出しアドレスを得て、セルバッファ2の読み出しタイミングで、読み出しアドレスを指示することによりセルバッファ2からセルの情報を出力させる。つぎに、セル読み込み制御回路90は、クラスAのセルバッファ2の読み出しアドレスを1加算することにより、つぎの読み出しアドレスとする(ステップ48)。また、ポート管理テーブル内のキュー値は、書き込みアドレスから読み出しアドレスを減算したものがキュー値であるため、セル読み込み制御回路90はポート1のクラスAのキュー値を-1(減算)する(ステップ49)。次に、セル読み込み制御回路90は、キュー値が0であるか、またはそれ以外であるかを判断し(ステップ50)、“0”であれば出力すべきセルが無いと判断し、ポート管理テーブル8のポート1のクラスA領域のキューフラグを“0”にする(ステップ51)。“0”以外であった場合は、キューフラグが、既に“1”であるので、そのまま次の処理へ移る(分岐52)。

【0036】 セルバッファ2から読み出されたクラスAのセルはセル分離部3を経て、出力ポート1へ出力される。ポート1に対して、クラスAのセルを出力したら、次はポート2のセル読み出し処理へ移り(分岐53)、以降ポート2からポートnの読み出し処理が同様に行われる。ポートnの読み出し処理後、ポート1に戻り、ポート1からポートnまでの処理が繰り返し行われる。

【0037】 次に、再びポート1の読み出し処理へ戻ったときに、図12(b)に、ポート管理テーブルのキューフラグを示すように、出力ポート1の各クラスのキューフラグを、クラスAは“0”、クラスBは“0”、クラスCは“0”、クラスDは“1”とし、また、ラウンドロビンテーブル91の値が(b)、つまり、優先順位制御レジスタ選択部93が選択する優先順位制御レジスタが(b)に切り替わり、優先順位制御レジスタに設定されている優先順位情報を、クラスB、C、D、Aの順番(クラスBが優先順位が一番高く、クラスAが優先順位が一番低い)とした場合について、クラスDのセルを読み出す場合の例を図14を用いて説明する。

【0038】 セル読み込み制御回路90は、前述と同様、ポート管理テーブル8のポート1の領域を検索し(ステップ40)、A=0、B=0、C=0、D=1の情報を認識する(ステップ41)。次に、セル読み込み制御回路90は、優先順位制御レジスタ92(b)を検索し、各クラスの優先順位が、クラスB、C、D、Aの順番であることを認識する(ステップ42)。次に、優先順位の順番よりクラスBのセル読み出し処理55に移行し、クラスBのセルのキューフラグが“0”のため、キューフラグ状態判定(ステップ95)において、分岐54を経由することで、クラスBの読み出し動作を行わない。つまり、読み出すべきセルが無い場合には、キュー管理テーブル9にアクセスせず、次の優先順位のクラスのセル(クラスC)の処理へ移る。

【0039】 次に、優先順位が2番目のクラスCのセルについても、同様に読み出し動作ステップ56において、クラスCのセルのキューフラグもクラスBと同様に“0”のため、キューフラグ状態判定における判定後、次の優先順位のクラスのセル(クラスD)の処理(ステップ57)へ移る。クラスDのセルのキューフラグ状態は、“1”であるため、キューフラグ状態判定(ステップ95)において、セルバッファ2の読み出し処理へ移り、キュー管理テーブル9のポート1のクラスDの領域を参照することによりセルバッファ2のクラスDのセルバッファの読み出しアドレスを得て、セルバッファの読み出しタイミングで、読み出しアドレスを指示することによりセルバッファ2からセルの情報を出力させる。つぎに、セル読み込み制御回路90は、クラスDのセルバッファ2の読み出しアドレスを1加算することにより、次の読み出しアドレスとする。(ステップ48)。また、ポート管理テーブル9のキュー値は、書き込みアド

レスから読み出しアドレスを減算したものがキュー値であるため、セル読み込み制御回路 9 0 はポート 1 のクラス D のキュー値を - 1 (減算) する (ステップ 4 9)。次に、セル読み込み制御回路 9 0 は、キューの値が 0 であるか、またはそれ以外であるかを判断し (ステップ 5 0)、“0”であれば出力すべきセルが無いと判断し、ポート管理テーブル 8 のポート 1 のクラス D 領域のキューフラグを“0”にする (ステップ 5 1)。“0”以外であった場合は、キューフラグが、既に“1”であるので、そのまま次の処理へ移る (分岐 5 2)。

【0040】セルバッファから読み出されたクラス D のセルはセル分離部 3 を経て、出力ポート 1 へ出力される。その後は分岐 5 3 を経て、次のポート 2 の読み出し処理へ移る。

【0041】次に、再びポート 1 の読み出し処理へ戻ったときに、図 1 2 (c) に、ポート管理テーブルのキューフラグを示すように、出力ポート 1 の各クラスのキューフラグを、クラス A は“0”、クラス B は“1”、クラス C は“0”、クラス D は“0”とし、また、ラウンドロビンテーブル 9 1 の値が (c)、つまり、優先順位制御レジスタ選択部 9 3 が選択する優先順位制御レジスタが (c) に切り替わり、優先順位制御レジスタに設定されている優先順位情報を、クラス C、D、A、B の順番 (クラス C が優先順位が一番高く、クラス B が優先順位が一番低い) とした場合について、クラス B のセルを読み出す場合の例を図 1 5 を用いて説明する。

【0042】セル読み込み制御回路 9 0 は、前述と同様、ポート管理テーブル 8 のポート 1 の領域を検索し

(ステップ 4 0)、A = 0、B = 1、C = 0、D = 0 の情報を認識する (ステップ 4 1)。次に、セル読み込み制御回路 9 0 は、優先順位制御レジスタ 9 2 (c) を検索し、各クラスの優先順位が、クラス C、D、A、B の順番であることを認識する (ステップ 4 2)。次に、優先順位の順番よりクラス C のセル読み出し処理 5 6 に移行し、クラス C のセルのキューフラグが“0”のため、キューフラグ状態判定 (ステップ 9 5) において、分岐 5 4 を経由することで、読み出し動作を行わない。クラス D および A のセルについてもクラス C のセルと同様、キューフラグが“0”のためセルの出力は行わず、次のクラス B のセル読み出し処理に移行する。

【0043】クラス B のセルのキューフラグ状態は、“1”であるため、キューフラグ状態判定 (ステップ 9 5) において、セルバッファの読み出し処理へ移り、キュー管理テーブル 9 のポート 1 のクラス B の領域を参照することによりセルバッファ 2 のクラス B のセルバッファの読み出しアドレスを得て、セルバッファの読み出しタイミングで、読み出しアドレスを指示することによりセルバッファ 2 からセルの情報を出力させる。つぎに、セル読み込み制御回路 9 0 は、クラス B のセルバッファ 2 の読み出しアドレスを 1 加算することにより、次の読

み出しアドレスとする (ステップ 4 8)。また、ポート管理テーブル 9 のキュー値は、書き込みアドレスから読み出しアドレスを減算したものがキュー値であるため、セル読み込み制御回路 9 0 はポート 1 のクラス B のキュー値を - 1 (減算) する (ステップ 4 9)。次に、セル読み込み制御回路 9 0 は、キューの値が 0 であるか、又はそれ以外であるかを判断し (ステップ 5 0)、“0”であれば出力すべきセルが無いと判断し、ポート管理テーブル 8 のポート 1 のクラス B 領域のキューフラグを“0”にする (ステップ 5 1)。“0”以外であった場合は、キューフラグが、既に“1”であるので、そのまま次の処理へ移る (分岐 5 2)。

【0044】セルバッファから読み出されたクラス B のセルはセル分離部 3 を経て、出力ポート 1 へ出力される。

【0045】以上、説明したように処理することにより、各ポートごとに、優先順位のより高いクラスのセルを出力することができる。第 1 の実施の形態の形態によれば、キューフラグの状態を判断することで、出力すべきセルがあるクラスを認識することができる。従来、出力すべきクラスの判断時に、アドレス (数ビットの情報) を保持するキュー管理テーブルの全クラスを参照して、キューがあるかないかを判断し、出力すべきクラスを判断しなければならなかったが、本実施の形態によれば、各クラスのキューフラグ (1 ビットの情報) を参照することにより、優先順位のより高いクラスのセルを出力することができる。また、セルの読み出し位置アドレスを格納したキュー管理テーブルへのアクセスは、出力するクラスに対応する領域のみで済むので、クラス分けの数が増えても処理時間に影響を与えることがない。すなわち、キュー管理テーブルへのアクセス回数及びその処理時間を軽減できることにより、クラス分けの数を容易に増やすことができる。このため、クラス分けの数は従来の 1 0 数倍が期待できる。

【0046】また、第 1 の実施の形態の形態によれば、複数種類ある優先制御レジスタのうち利用する優先順位制御レジスタを定期的に巡回させることで、完全優先制御によるセル出力クラスの偏りをなくし、帯域分割を実現することができる。

【0047】また、優先順位制御レジスタ 9 2 をマイコンインタフェースとする事で、書き換え可能な仕組みとなり、指示部 9 4 から優先順位を指示することにより、優先順位の任意の変更が可能となる。

【0048】また、ラウンドロビンテーブルの選択信号の出力による優先順位制御レジスタを選択している時間は、全ての優先順位制御レジスタで同じ時間にしてもよいし、各優先順位制御レジスタ毎に異ならせるようにしてもよい。例えば、優先順位制御レジスタ (a) についてはセル出力数 2 0 セル分、優先順位制御レジスタ (b) 及び (c) についてはセル出力数 1 0 セル分、優

先順位制御レジスタ（d）についてはセル出力数5セル分というように異ならせることができる。

【0049】次に、第2の実施の形態について説明する。

【0050】第1の実施の形態の帯域分割方法では最低送出帯域の保証が可能であるが、クラス毎の出力帯域を固定とすることに関しては何ら考慮していない。例えば4つの品質クラスのバッファに常にセルが蓄積されているときには、出力ポートの帯域を正確に分割することができるが、どれか一つ以上のクラスのバッファが一時的に空になると帯域分割は固定でなくなる。また、帯域分割をラウンドロビンテーブル上に設定する優先順位制御レジスタの割合で決定するので、各クラスの出力帯域を細かく設定しようとするとラウンドロビンテーブルが大きくなり、情報格納用のメモリが大量に必要となる。さらに、出力ポート毎に異なる割合で帯域分割するためには、出力ポートの数だけラウンドロビンテーブルが必要となり、メモリ量を増やす必要がある。また、一つのクラス、例えばクラスAを最優先で出力処理したい場合、全ての優先順位制御レジスタの優先順位の一番目をクラスAにすることになり、この場合、他のクラスは最低送出帯域さえも保証することができない。

【0051】第2の実施の形態では、上記問題点を是正する事を目的とする。第2の実施の形態を図1を参照して説明する。

【0052】図1において、ATMスイッチは、セルを多重するセル多重部1と、セルを保持するセルバッファ2と、セルを出力ポート毎に分離するセル分離部3と、セルのルーティング先及び優先クラスを識別するルーティング先／優先クラス識別回路4と、セルバッファ2への書き込みを制御するセル書き込み制御回路5と、セルバッファ2からの読み出しを制御する優先順位変更／セル読み込み制御回路6と、出力の優先順位を保持する優先順位制御レジスタ13（1）～（32）の32個と、ラウンドロビンテーブル15（a）～（o）の15個と、32個の優先順位制御レジスタの中でどの優先順位制御レジスタを利用するか選択する優先順位制御レジスタ選択部14と、15個のラウンドロビンテーブルの中でどのラウンドロビンテーブルを利用するか選択するラウンドロビンテーブル選択部16と、出力セル数を計数し、各クラスの設定された出力帯域を超えないようにラウンドロビンテーブルを選択する信号を作成する出力キューカウンタ／ラウンドロビンテーブル制御部12と、出力ポート毎であって、各クラス毎にセルバッファ2に保持されるセルがあるかないかをキューフラグにより示すポート管理テーブル8と、セルバッファ2の書き込みアドレスと読み出しアドレスとを出力ポート毎であって、各クラス毎に保持するキュー管理テーブル9と、完全優先指示情報を保持する完全優先指示レジスタ10と、空きスロットへのセル挿入指示情報を保持する空き

スロットへのセル挿入指示レジスタ11とを備える。本発明の第2の実施の形態におけるATMスイッチは、N本の入力ポートから入力されるセルをN本の出力ポートに出力する出力バッファ型のスイッチシステムである。

05 各クラスは、優先順位制御レジスタによって優先順位が定められ、優先順位がより高いクラスのセルについて、優先的に出力させ、下位のクラスのセルを出力させる場合には、そのクラスより上位のクラスのセルを保持していない場合にそのクラスのセルを出力させる完全優先制御方式により制御を行っている。さらに、ラウンドロビン
10 テーブルによって、複数種類ある優先順位制御レジスタのうち利用する優先順位制御レジスタを定期的に巡回させることで、完全優先制御によるセル出力クラスの偏りをなくし、帯域分割を実現し、かつ、複数あるラウンドロビン
15 テーブルを変更する事によって各ポート、各クラスに設定された出力帯域を超えないように制御を行うことができる。また、ポート毎に各クラスの、優先順位制御レジスタ13の示す優先順位よりも優先して使用される順位を指示する完全優先指示と、あるクラスの出力帯域が超えた場合に、他のクラスのキューがなく空きセル
20 を挿入するときに、出力帯域が超えたクラスのセルの出力を許可するように指示する空きセル挿入指示とを行なうことが可能である。本実施の形態では、品質クラスの数をクラスAからクラスDまでの4つとした場合を例にする。

【0053】ポート管理テーブル8、キュー管理テーブル9、セルバッファ2、ルーティング先／優先クラス識別回路4およびセル書き込み制御回路5については、第1実施の形態で説明したものと同一の構成であり、同一
30 の動作を行なう。

【0054】優先順位制御レジスタ13は、各クラスの優先順位を保持する。例えば、クラスとして、A、B、C及びDがあり、優先順位が高いものからA→B→C→Dとする場合、レジスタには高いものからA、B、C、Dとするように保持しておく。また、4クラスのうちクラスDの出力帯域が設定値以上であり、クラスDを出力しない場合は、優先順位として高いものからA、B、Cとするように保持し、4番目は空にしておく。第2の実施の形態では、各クラスの出力帯域を管理し、各クラスの出力帯域毎に優先順位を変更するようにしている。第2の実施の形態では、図3に示すように、32個の優先順位制御レジスタを用意し、32種類の優先順位を保持し、出力セル数が設定帯域を超過したクラスを除いた残りのクラスで、帯域分割を可能としている。例えば、クラスAの出力セル数が設定帯域を超過した場合には、
45 （5）、（6）、（7）の優先順位制御レジスタを選択することにより、クラスB、C、D間で任意に帯域分割することができる。また、優先順位制御レジスタ13は、書替えが可能であり、指示部18からクラスの優先順位を指示し、優先順位制御レジスタ13に優先順位を
50

保持させることができる。

【0055】優先順位制御レジスタ選択部14は、32個の優先順位制御レジスタ(1)～(32)のうちいずれか一つを選択する選択部である。ラウンドロビンテーブル15は、優先順位制御レジスタ選択部14が優先順

位制御レジスタ(1)～(32)のうちどれを選択するかを選択信号を生成する選択信号生成部である。ラウンドロビンテーブルの内容を表1に示す。

【0056】

【表1】

表1

ラウンドロビンテーブル

| | | |
|-----|-----------------|------------------------|
| (a) | (1) (2) (3) (4) | 全クラスの出カセル数が設定帯域以下 |
| (b) | (5) (6) (7) | クラスAの出カセル数が設定帯域を超過 |
| (c) | (8) (9) (10) | クラスBの出カセル数が設定帯域を超過 |
| (d) | (11) (12) (13) | クラスCの出カセル数が設定帯域を超過 |
| (e) | (14) (15) (16) | クラスDの出カセル数が設定帯域を超過 |
| (f) | (17) (18) | クラスA,Bの出カセル数が設定帯域を超過 |
| (g) | (19) (20) | クラスA,Cの出カセル数が設定帯域を超過 |
| (h) | (21) (22) | クラスA,Dの出カセル数が設定帯域を超過 |
| (i) | (23) (24) | クラスB,Cの出カセル数が設定帯域を超過 |
| (j) | (25) (26) | クラスB,Dの出カセル数が設定帯域を超過 |
| (k) | (27) (28) | クラスC,Dの出カセル数が設定帯域を超過 |
| (l) | (29) | クラスA,B,Cの出カセル数が設定帯域を超過 |
| (m) | (30) | クラスA,B,Dの出カセル数が設定帯域を超過 |
| (n) | (31) | クラスA,C,Dの出カセル数が設定帯域を超過 |
| (o) | (32) | クラスB,C,Dの出カセル数が設定帯域を超過 |

【0057】図3及び表1において、ラウンドロビンテーブル15(a)の場合(1)～(4)は、各々優先順位制御レジスタ(1)～(4)を示し、(1)→(2)→(3)→(4)・・・→(1)→(2)・・・と定期的

に選択信号を出力する。本実施の形態においては、全てのポートで1セル出力毎に、ラウンドロビンテーブル15(a)～(o)すべての優先順位制御レジスタの選択を切り替えている。また、ラウンドロビンテーブル選択部16は、15個のラウンドロビンテーブル(a)～(o)のうちいずれか一つを選択する選択部である。優先順位変更／セル読み込み制御回路6は、セルバッファ読み出し処理時に、優先順位制御レジスタ13を参照し、その優先順位に従い、セルを読み出す構成をとっており、優先順位制御レジスタの優先順位が、ある1つのパターンに固定されていると、読み出し要求毎に優先順位の高いクラスのセルばかりが出力される可能性があるが、これに対して、第2の実施の形態では、優先順位変更／セル読み込み制御回路6が検索する優先順位制御レジスタをラウンドロビンテーブル15によって巡回させることができる。ラウンドロビンテーブル選択部16が、ラウンドロビンテーブル15(a)を選択する場合、選択信号(1)、(2)、(3)、(4)のいずれかによって4つの優先順位制御レジスタ(1)～(4)

のいずれかを利用することができる。

【0058】例えば、ある読み出しタイミングにおいて、ラウンドロビンテーブル15(a)の値が

“ (1) ”であった場合は、優先順位変更／セル読み込み制御回路6が検索する優先順位制御レジスタは優先順位制御レジスタ(1)であり、読み出しセルの優先順位はクラスA、クラスB、クラスC、クラスDの順番となり、また、別の読み出しタイミング時に、ラウンドロビンテーブル15(a)の値が“ (3) ”であった場合は、優先順位変更／セル読み込み制御回路6が検索する優先順位制御レジスタは優先順位制御レジスタ(3)であり、読み出しセルの優先順位はクラスC、クラスD、クラスA、クラスBの順番となる。これにより、優先順位の高いクラスのセルに偏って読み出されることを回避し、各クラスに出力の機会を与えることができ、帯域分けが可能となる。

【0059】出力キューカウンタ／ラウンドロビンテーブル制御部12は、各ポートの各クラス毎の出力セル数を計数し、出力セル数に応じてラウンドロビンテーブル15(a)～(o)を選択する信号を作成する。図4に、出力キューカウンタ／ラウンドロビンテーブル制御部12の構成を示す。以下、図4を参照して出力キューカウンタ／ラウンドロビンテーブル制御部12の動作を

説明する。

【0060】図4において、出力キューカウンタ／ラウンドロビンテーブル制御部12は、ポート毎の各クラスの帯域を保持する帯域設定レジスタ20、出力セル数を計数する出力セル数カウンタ23、設定された帯域を超過しているか否かを判別する帯域超過判別回路21、指示部400により指示された優先制御周期を保持する優先制御周期レジスタ401、セルのクロック信号をカウントする周期カウンタ402、および、優先制御周期レジスタ401に保持する優先制御周期と周期カウンタ402との値を比較し、一致する場合に出力セル数カウンタに対してリセット信号を出力する比較器403とを備える。ここで、優先制御周期とは、出力セル数カウンタをリセットする周期であり、優先順位に従ってセルを送出する際の監視周期である。例えば、優先制御周期を12セル時間とすると、12セル（空きセルも含む）出力毎に、各クラスの出力セル数カウンタをリセットする。この優先制御周期が、例えば120セルと長い時間であると、各クラスの出力帯域をより細かく設定することが可能となるが、その反面、各クラスのセルバッファへのセル蓄積状況によっては、優先制御周期内で特定クラスのセルが連続して出力される可能性がある。優先制御周期は、ユーザにより指示部400から指示される。

【0061】帯域設定レジスタ20は、各ポート内での各クラスの出力帯域を示すデータを保持する。実際に保持する情報は、優先制御周期内で出力可能とするセル数であり、例えば、ポートの出力帯域が100Mbit/sで、クラスA、B、C、Dの4クラスの出力帯域を全て25Mbit/sにする場合、優先制御周期を12セル時間とすれば、各クラスのレジスタへの設定値は12セル×25M/100M=3セルとなる。また、指示部22から出力帯域を指示することにより、帯域設定レジスタ20に各クラスの出力帯域を設定することができる。

【0062】出力セル数カウンタ23は、各ポートの出力セル数をクラス毎に計数するカウンタである。優先順位変更／セル読み込み制御回路6から、出力するセルの出力ポートとクラスの情報を得て、出力ポート毎であって、クラス毎に出力セル数をカウントする。出力セル数カウンタ23は、セル出力時に、優先順位変更／セル読み込み制御回路6から指示される出力したセルのポート番号を示すPORT選択信号1によりポートが選択され、かつ、優先順位変更／セル読み込み制御回路6から指示され、セル出力時に出力したクラスに対応するイネーブル信号を受け、イネーブル信号に対応するクラスについて、カウントアップを行う。カウント値は優先制御周期毎に、比較器403から出力されるリセット信号によりリセットされる。比較器403は、セルのクロック信号をカウントする周期カウンタ402と、優先制御周期レジスタ401に保持する優先制御周期との値を比較

し、一致する場合に出力セル数カウンタに対してリセット信号を出力する。

【0063】優先順位変更／セル読み込み制御回路6は、セル出力時に、出力したクラスに対応する信号線をイネーブルし、それ以外の信号線をネゲートする。

【0064】帯域超過判別回路21は、各ポートのセル読み出しタイミング（PORT選択信号2の指示タイミング）で、クラス毎に帯域設定レジスタ20の設定値と出力セル数カウンタ23のカウント値とを比較し、カウント値が設定値を超えているクラスを含まないラウンドロビンテーブルを選択するように、ラウンドロビンテーブル選択信号を作成する。PORT選択信号2は、PORT選択信号1を遅延させた信号であり、出力したセルのポート番号を示す。例えば、図3を用いて説明すると、クラスAが設定値に達した場合、クラスAを含まないラウンドロビンテーブル（b）を選択するようにし、ラウンドロビンテーブル（b）は優先順位制御レジスタ（5）、（6）、（7）のみを巡回させるので、クラスAのセルが読み出されることがない。ラウンドロビンテーブルが15ヶの場合、ラウンドロビンテーブル選択信号は、本実施の形態においては4ビットで示され、各クラスに対応した信号線を備え、出力帯域が設定値に達した場合に、そのクラスに対応する信号線がイネーブルされる。このように、帯域超過判別回路21は、各ポート・各クラスの出力帯域を監視し、出力帯域が設定値以内に収まるように、ラウンドロビンテーブルを選択するため、帯域制御を行うことができる。

【0065】図1において、完全優先指示レジスタ10は、ポート内で指示するクラスの優先順位を固定とし、ラウンドロビンテーブル15を使用せずに、完全優先処理する場合に使用する。ポート内で、優先順位制御レジスタ13の示す優先順位情報によらず、キューがある時は優先的に出力するクラスがある場合に、そのクラスのポート内での優先順位情報を設定する。第2の実施の形態では、図5に示すように出力ポート、出力クラス毎に優先順位情報を設定する。完全優先を指示するクラス数は任意に設定可能であり、例えばポート1でクラスAのみを完全優先処理したい場合は、完全優先指示レジスタ10のポート1クラスAの領域に優先順位“1”を設定し、それ以外は未登録としておく。また、クラスAおよびBの2クラスを完全優先処理し、かつ、クラスAをBより優先する場合は、完全優先指示レジスタ10のポート1のクラスAの領域に優先順位“1”を、クラスBの領域に優先順位“2”を設定し、それ以外のクラスは未登録としておく。完全優先指示レジスタ10への優先順位情報設定は、指示部34から行う。

【0066】空きスロットへのセル挿入指示レジスタ11には、出力を許容しているクラスのキューが全て“0”であり（出力すべきセルがないとき）、出力するセルが無く空きスロットが生じるときにおいて、既に出

力帯域が設定値を超過しているクラスも、キューがあれば空きスロットにセルを出力することを許可する場合に、そのポートのそのクラスの空きスロット挿入優先順位情報を、空きスロットへのセル挿入指示レジスタ11の該当エリアに設定する。第2の実施の形態では、図5に示すように、出力ポート、出力クラス毎に優先順位情報を設定する。本レジスタも上記完全優先指示レジスタと同様、挿入指示をするクラス数は任意に設定可能である。例えば、ポート1でクラスDのみを空きスロット挿入処理する場合は、空きスロットへのセル挿入指示レジスタ11のポート1のクラスDの領域に優先順位情報として“1”を設定し、それ以外は未登録としておく。また、クラスCおよびDの2クラスを空きスロット挿入処理し、かつ、クラスCをDより優先する場合は、空きスロットへのセル挿入指示レジスタ11のポート1のクラスCの領域に優先順位情報として“1”を、クラスDの領域に優先順位情報として“2”を設定し、それ以外のクラスは未登録としておく。空きスロットへのセル挿入指示レジスタ11への優先順位情報設定は、指示部35から行う。

【0067】優先順位変更／セル読み込み制御回路6は、図5に示すように、出力キュー決定回路30、セル読み込み制御回路33および出力キューフラグ32を備える。

【0068】出力キュー決定回路30は、出力ポート毎に、優先順位制御レジスタ選択部14によって選択されている優先順位制御レジスタ13が保持する優先順位と、完全優先指示レジスタ10が保持する優先順位と、空きスロットへのセル挿入指示レジスタ11が保持する優先順位とを参照して、優先順位を編集し、編集後の優先順位とポート管理テーブル8のキューフラグとから、出力キューを決定する。

【0069】具体的には、まず優先順位制御レジスタ13の順位情報を優先順位編集レジスタ31に書き込み、そのレジスタの順位情報と完全優先指示レジスタ10の順位情報とを参照し、完全優先指示レジスタ10の順位を優先させて優先順位編集レジスタ31の順位を並べ替える。但し、優先順位制御レジスタ13に含まれていないクラス（出力帯域が設定値以上になっているクラス）は、割り当てられた帯域を保証するため完全優先指示レジスタ10に指示があっても無視される。

【0070】次に、並べ替えられた優先順位編集レジスタ31の順位情報と、空きスロットへのセル挿入指示レジスタ11の順位情報とを参照し、優先順位編集レジスタ31の順位に含まれないクラスについて、空きスロット挿入指示があれば、空きスロットへのセル挿入指示レジスタ11の順位に従って、優先順位編集レジスタ31の順位にクラスを追加する。

【0071】さらに、優先順位編集レジスタ31が保持する優先順位のより高いクラスについて、ポート管理テ

ーブル8のキューフラグを参照し、セルバッファ2に保持されるセルがあると示されているキューフラグに対応するクラスを出力キューと決定し、出力キューフラグ32の該当クラスを“1”にする。

05 【0072】図17を参照し、出力キュー決定回路の動作を、より具体的に説明する。図17（1）において、優先順位制御レジスタ選択部14で選択された優先順位情報（以下、単に優先順位制御レジスタの優先順位情報という）を、クラスC、D、Aの順番（クラスCの優先順位が一番高く、クラスAの優先順位が一番低い）とし、完全優先指示レジスタの指示情報をクラスB、Aの順番（クラスBの優先順位が高い）とし、また、空きスロットへのセル挿入指示レジスタの指示情報をクラスC、Bの順番（クラスCの優先順位が高い）とした場合を例に説明する。分かり易くするため、完全優先指示レジスタ10および空きスロットへのセル挿入指示レジスタ11の情報を、優先順位に従ってクラス名を並べるようにフォーマット変換している。

【0073】以下、優先順位の編集方法を説明する。■優先順位制御レジスタの優先順位情報を優先順位編集レジスタ31に書き込む。つぎに、完全優先指示レジスタで優先順位の最も高いクラスBは、優先順位編集レジスタ31の優先順位に含まれていないので無視され、次に順位の高いクラスAを最優先とし、優先順位編集レジスタ31のクラスA以外のクラスの順位をシフトさせて、優先順位をクラスA、C、Dとする。■並べ替えられた優先順位編集レジスタ31の優先順位と空きスロットへのセル挿入指示レジスタとを参照し、まず空きスロットへのセル挿入指示レジスタで優先順位の高いクラスCについて、優先順位編集レジスタ31の優先順位の高いクラスから順に比較していくと、優先順位編集レジスタ31の2番目の優先順位にクラスCが登録されているので、次の順位であるクラスBの処理に移る。クラスBは優先順位編集レジスタ31に登録されていないので、クラスA、C、Dの次の順位に追加され、優先順位編集レジスタ31の優先順位はクラスA、C、D、Bの順になる。■優先順位編集レジスタ31の優先順位でポート管理テーブルのキューフラグが参照され、クラスAにキューがあるので、出力キューはクラスAとなる。出力キューフラグ32のクラスAを“1”にし、出力キュー決定回路の処理が終了する。

【0074】なお、完全優先指示レジスタ10及び空きスロットへのセル挿入指示レジスタ11に何も登録されていなければ、優先順位制御レジスタ選択部14によって選択されている優先順位制御レジスタ13の優先順位に従って出力キューが決定される。

【0075】セル読み込み制御回路33は、ポートの処理毎に、出力キューフラグ32を参照し、出力指示のあるクラスのより先に入力されたセルを、キュー管理テーブル9を参照し、読み出しアドレスを指示して当該出力

ポートから出力させる。また、キュー管理テーブル9が保持する読み出しアドレスを、当該出力させたセルの次に入力されたセルの読み出しアドレスを示すように、読み出しアドレスを+1（加算）する。さらに、当該出力させた出力ポートのクラスの、キュー管理テーブル9のキュー値を-1（減算）し、キュー値が0の時、すなわち、セルバッファ2に保持されるセルが無い場合に、当該出力させた出力ポートのクラスのポート管理テーブル8のキューフラグをリセットする。また、セル出力後、出力キューフラグ32をリセットする。

【0076】次に、図1を参照してセルバッファ2からの読み出し動作を説明する。書き込み動作については、第1の実施の形態において説明したものと同一に動作する。

【0077】図1において、セルを読み出す場合に、セルバッファ2からセルを読み出すタイミングは、ポート1からポートNまでそれぞれ定期的に到来する。まず、優先順位変更／セル読み込み制御回路6は、優先順位制御レジスタ選択部14によって選択されている優先順位制御レジスタ13、完全優先指示レジスタ10、空きスロットへのセル挿入指示レジスタ11及びポート管理テーブル8を検索し、前述したように出力キューを決定し、内部の出力キューフラグ32の該当クラスを“1”にする。次に、出力キューフラグ32が“1”のクラスについて、キュー管理テーブル9の読み出しアドレスを得て、この読み出しアドレスを指示することによりセルバッファ2からセルの情報を読み出す。また、キュー管理テーブル9が保持する読み出しアドレスを、当該出力させたセルのつぎに入力されたセルの読み出しアドレスを示すように、読み出しアドレスを+1（加算）する。さらに、当該出力させた出力ポートのクラスの、キュー管理テーブル9のキュー値を-1（減算）し、減算後のキュー値が0のとき、当該出力させた出力ポートのクラスのポート管理テーブル8のキューフラグをリセットする。また、セル出力後、出力キューフラグ32をリセットする。

【0078】このようにして、優先順位変更／セル読み込み制御回路6は、出力キューフラグが“1”であるクラスについて、キュー管理テーブル9よりセル読み出しアドレスを得て、このセルの格納されているセルバッファ2内の読み出しアドレスを順次指示し、セルバッファ2からセルを読み出す。セル分離部3では、セルバッファメモリから読み出されたセルを各出力ポート毎に分離する。

【0079】読み出し動作は、あるポートにおいて、あるクラスのセルを1つ出力したら次のポートの処理へ移り同様な処理を行い、ポート1からポートNまでの処理が繰り返行われる。すべてのラウンドロビンテーブル（a）～（o）の出力する優先順位制御レジスタの選択信号は、ポート1からポートNまで1セルずつ出力後、切

り替えられる。

【0080】次に、優先順位変更／セル読み込み制御回路6における詳細な動作を図6および図17を参照して説明する。図6に、優先順位変更／セル読み込み制御回路6におけるセルバッファ読み出しフローを示す。具体的に説明するために、各レジスタの設定値を以下に示すような場合を例にする。ポート管理テーブルのキューフラグを、図12（a）に示すように、出力ポート1の各クラスのキューフラグを、クラスAは“1”、クラスBは“0”、クラスCは“0”、クラスDは“1”とする。また、完全優先指示レジスタ10に設定されている優先順位を、図17（1）に示すように、クラスB、Aの順番（Bの優先順位が高い）とする。また、空きスロットへのセル挿入指示レジスタ11に設定されている優先順位を、図17（1）に示すように、クラスC、Bの順番（Cの優先順位が高い）とする。また、図17（1）に示すように、ラウンドロビンテーブル選択部16によって選択されているラウンドロビンテーブル15は、（c）（図3参照）であり、ラウンドロビンテーブル15の値が“（9）”、つまり、優先順位制御レジスタ選択部14が選択する優先順位制御レジスタが（9）であり、優先順位制御レジスタ（9）に設定されている優先順位情報を、クラスC、D、Aの順番（クラスCが優先順位が一番高く、クラスAが優先順位が一番低い）とする。

【0081】図6において、まず優先順位変更／セル読み込み制御回路6は、ポート管理テーブル8のポート1の領域を検索し（ステップ40）、A=1、B=0、C=0、D=1の情報を認識する（ステップ41）。次に、優先順位変更／セル読み込み制御回路6は、優先順位制御レジスタ13（9）を検索し、各クラスの優先順位が、クラスC、D、Aの順番であることを認識する（ステップ42）。次に、完全優先指示レジスタ10および空きスロットへのセル挿入指示レジスタ11を検索し、指示内容を各々認識する（ステップ43）。ステップ41、42および43によって、図17（1）に示すように出力クラスがAに決まり、出力キューフラグ32のクラスAにフラグがセットされる。図6に示すように、クラスAに対応するセルについて、実際のセルバッファ2からの読み出し動作を行う（ステップ45）。この例において、クラスAは、既に出力キューフラグが“1”であるので、出力キューフラグ状態判定（ステップ46）において、判定後分岐47へ移り、キュー管理テーブル9のポート1のクラスAの領域を参照することによりセルバッファ2の読み出しアドレスを得て、セルバッファ2の読み出しタイミングで、読み出しアドレスを指示することによりセルバッファ2からセルの情報を出力させる。つぎに、優先順位変更／セル読み込み制御回路6は、クラスAのセルバッファ2の読み出しアドレスを1加算することにより、つぎの読み出しアドレスと

する(ステップ48)。また、ポート管理テーブル内のキュー値は、書き込みアドレスから読み出しアドレスを減算したものがキュー値であるため、優先順位変更/セル読み込み制御回路6はポート1のクラスAのキュー値を-1(減算)する(ステップ49)。次に、優先順位変更/セル読み込み制御回路6は、キュー値が0であるか、またはそれ以外であるかを判断し(ステップ50)、“0”であれば出力すべきセルが無いと判断し、ポート管理テーブル8のポート1のクラスA領域のキューフラグを“0”にする(ステップ51)。“0”以外であった場合は、キューフラグが、既に“1”であるので、そのまま次の処理へ移る(分岐52)。また、出力キューフラグ32をリセットする。

【0082】セルバッファ2から読み出されたクラスAのセルはセル分離部3を経て、出力ポート1へ出力される。ポート1に対して、クラスAのセルを出力したら、次はポート2のセル読み出し処理へ移り(分岐53)、以降ポート2からポートnの読み出し処理が同様に行われる。ポートnの読み出し処理後、(ステップ63)、ラウンドロビンテーブル15(c)の値は(10)に切り替わり、優先順位制御レジスタを(10)に切り替える。その後、ポート1に戻り、ポート1からポートnまでの処理が繰り返し行われる。

【0083】次に、再びポート1の読み出し処理へ戻ったときに、各レジスタの設定値が以下に示すようになっている場合を例にする。ポート管理テーブルのキューフラグを、図12(b)に示すように、出力ポート1の各クラスのキューフラグを、クラスAは“0”、クラスBは“0”、クラスCは“0”、クラスDは“1”とする。また、クラスAの出力帯域が設定値に達して、図17(2)に示すように、ラウンドロビンテーブル選択部16によって選択されているラウンドロビンテーブル15が(f)に変更され、かつ、ラウンドロビンテーブル(f)の値が(17)、つまり、優先順位制御レジスタ選択部14が選択する優先順位制御レジスタが(17)であり、優先順位制御レジスタに設定されている優先順位情報を、クラスC、Dの順番(クラスCのが優先順位が高い)とする。

【0084】図6において、優先順位変更/セル読み込み制御回路6は、前述と同様、ポート管理テーブル8のポート1の領域を検索し(ステップ40)、A=0、B=0、C=0、D=1の情報を認識する(ステップ41)。次に、優先順位変更/セル読み込み制御回路6は、優先順位制御レジスタ13(17)を検索し、各クラスの優先順位が、クラスC、Dの順番であることを認識する(ステップ42)。次に、完全優先指示レジスタ10および空きスロットへのセル挿入指示レジスタ11を検索し、指示内容を認識する(ステップ43)。ステップ41、42および43によって、図17(2)に示すように出力クラスがDに決まり、出力キューフラグが

セットされる。次に、クラスAのセル読み出し処理45に移行し、クラスAの出力キューフラグが“0”のため、出力キューフラグ状態判定(ステップ46)において、分岐54を経由することで、クラスAの読み出し動作を行わない。つまり、読み出すべきセルが無い場合には、キュー管理テーブル9にアクセスせず、次のクラス(クラスB)の処理へ移る。

【0085】次に、クラスB、Cについても、同様に読み出し動作ステップ55および56において、クラスB、Cの出力キューフラグがクラスAと同様に“0”のため、出力キューフラグ状態判定における判定後、次のクラス(クラスD)の処理(ステップ57)へ移る。クラスDのセルの出力キューフラグ状態は、“1”であるため、出力キューフラグ状態判定(ステップ46)において、セルバッファ2の読み出し処理へ移り、キュー管理テーブル9のポート1のクラスDの領域を参照することによりセルバッファ2のクラスDのセルバッファの読み出しアドレスを得て、セルバッファの読み出しタイミングで、読み出しアドレスを指示することによりセルバッファ2からセルの情報を出力させる。つぎに、優先順位変更/セル読み込み制御回路6は、クラスDのセルバッファ2の読み出しアドレスを1加算することにより、次の読み出しアドレスとする。(ステップ48)。また、ポート管理テーブル9のキュー値は、書き込みアドレスから読み出しアドレスを減算したものがキュー値であるため、優先順位変更/セル読み込み制御回路6はポート1のクラスDのキュー値を-1(減算)する(ステップ49)。次に、優先順位変更/セル読み込み制御回路6は、キューの値が0であるか、またはそれ以外であるかを判断し(ステップ50)、“0”であれば出力すべきセルが無いと判断し、ポート管理テーブル8のポート1のクラスD領域のキューフラグを“0”にする(ステップ51)。“0”以外であった場合は、キューフラグが、既に“1”であるので、そのまま次の処理へ移る(分岐52)。また、セル出力後、出力キューフラグ32をリセットする。

【0086】セルバッファ2から読み出されたクラスDのセルはセル分離部を経て、出力ポート1へ出力される。その後は分岐53を経て、次のポート2の読み出し処理へ移る。ポートnの読み出し処理終了後(ステップ63)、ラウンドロビンテーブル15(f)の値は(18)に切り替わり、優先順位制御レジスタを(18)に切り替える。

【0087】次に、再びポート1の読み出し処理へ戻ったときに、各レジスタの設定値が以下に示すようになっている場合を例にする。ポート管理テーブルのキューフラグを、図12(c)に示すように、出力ポート1の各クラスのキューフラグを、クラスAは“0”、クラスBは“1”、クラスCは“0”、クラスDは“0”とする。また、ラウンドロビンテーブルの選択変更は無く、

ラウンドロビンテーブル(f)の値が(18)、つまり、優先順位制御レジスタ選択部14が選択する優先順位制御レジスタが(18)に切り替わっており、優先順位制御レジスタに設定されている優先順位情報は、クラスD、Cの順番(クラスDの優先順位が高い)とし、クラスD、Cのセルが無く、クラスBのセルを読み出すときであるとする。

【0088】図6において、優先順位変更/セル読み込み制御回路6は、前述と同様、ポート管理テーブル8のポート1の領域を検索し(ステップ40)、A=0、B=1、C=0、D=0の情報を認識する(ステップ41)。次に、優先順位変更/セル読み込み制御回路6は、優先順位制御レジスタ13(18)を検索し、各クラスの優先順位が、クラスD、Cの順番であることを認識する(ステップ42)。次に、完全優先指示レジスタ10、空きスロットへのセル挿入指示レジスタ11を検索し、指示内容を認識する(ステップ43)。ステップ41、42および43によって、図17(3)に示すように出力クラスがBに決まり、出力キューフラグがセットされる。次に、クラスAのセル読み出し処理45に移行し、クラスAのセルの出力キューフラグが“0”のため、出力キューフラグ状態判定(ステップ46)において、分岐54を経由することで、読み出し動作を行わず、クラスBのセル読み出し処理に移行する。

【0089】クラスBのセルのキューフラグ状態は、“1”であるため、キューフラグ状態判定(ステップ46)において、セルバッファの読み出し処理へ移り、キュー管理テーブル9のポート1のクラスBの領域を参照することによりセルバッファ2のクラスBのセルバッファの読み出しアドレスを得て、セルバッファの読み出しタイミングで、読み出しアドレスを指示することによりセルバッファ2からセルの情報を出力させる。つぎに、優先順位変更/セル読み込み制御回路6は、クラスBのセルバッファ2の読み出しアドレスを1加算することにより、次の読み出しアドレスとする(ステップ48)。また、ポート管理テーブル9のキュー値は、書き込みアドレスから読み出しアドレスを減算したものがキュー値であるため、優先順位変更/セル読み込み制御回路6はポート1のクラスBのキュー値を-1(減算)する(ステップ49)。次に、優先順位変更/セル読み込み制御回路6は、キューの値が0であるか、又はそれ以外であるかを判断し(ステップ50)、“0”であれば出力すべきセルが無いと判断し、ポート管理テーブル8のポート1のクラスB領域のキューフラグを“0”にする(ステップ51)。“0”以外であった場合は、キューフラグが、既に“1”であるので、そのまま次の処理へ移る(分岐52)。また、セル出力後、出力キューフラグ32をリセットする。

【0090】セルバッファから読み出されたクラスBのセルはセル分離部3を経て、出力ポート1へ出力され

る。以降ポート2からポートnの読み出し処理が同様に行われる。ポートnの読み出し処理後(ステップ63)、ラウンドロビンテーブル15(f)の値は(17)に切り替わり、優先順位制御レジスタを(17)に切り替える。その後、ポート1に戻り、ポート1からポートnまでの処理が繰り返し行われる。

【0091】次に、優先制御周期を、完全優先指示レジスタ10、空きスロットへのセル挿入指示レジスタ11の設定状態、及び、スイッチに到着する各クラスの到着セルパターンの異なる4つの例により、図7、図8、図9および図10を参照して説明する。ただし、本動作例は、ポート1からポートNまで繰り返し行われる処理のうち、ポート1だけに着目して説明する。

【0092】図7は、ポート当たりの出力帯域が100 Mbit/sで、クラスA～D各クラスの出力帯域を25 Mbit/sとし、全クラス完全優先指示および空きスロット挿入指示をしない場合の、セル出力優先制御動作例を示している。簡単のために、優先制御周期を12セル時間としており、各クラスの優先制御周期内で出力可能なセル数は、 $12 \text{セル} \times 25 / 100 = 3 \text{セル}$ となる。図4に示す出力キューカウンタ/ラウンドロビンテーブル制御部12内の帯域設定レジスタ20のポート1の各クラスの領域に、この3の値が設定される。また、各クラスの到着セルパターンは、均等間隔での到着で、かつ、到着セル数は出力可能なセル数と等しいものとする。初期状態として、全クラスキューが無い状態から動作を開始した事とする。また、説明のためキューフラグの代わりに実際のキュー値(セルバッファ2に保持しているセル数)を使用する。また、セルの出力タイミングを、T0～T12で示す。

【0093】図7において、まず、T0で4つのクラスのセルA1、B1、C1、D1が到着したとすると、各クラスのキューの値は“1”となる。この時点では出力セル数は0であり、設定帯域に達したクラスは無く、ラウンドロビンテーブルは4クラス全てを含んだ優先制御レジスタを選択する(a)(図3参照)が選択されている。この時の優先順位制御レジスタは(1)であり、優先順位が最も高く、かつ、キューのあるクラスAの出力キューフラグがセットされ、A1のセルがセルバッファ2から読み出される。読み出し後、クラスAのキューは1減少し“0”となる。

【0094】つぎに、T1では、新規到着セルは無く、クラスA以外のクラスのキューは1のままである。ラウンドロビンテーブル(a)に従って、優先順位制御レジスタ選択部14によって選択される優先順位制御レジスタは(2)に切り替わり、優先順位の最も高いクラスBのB1のセルがセルバッファ2から読み出される。読み出し後、クラスBのキューは1減少し“0”となる。

【0095】以下、同様にラウンドロビンテーブル(a)の指し示す優先順位制御レジスタ(1)、

(2)、(3)、(4)が繰り返し使用され、その優先順位に従いT 2からT 8までのセル読み出し処理が行われる。

【0096】T 8でクラスAのA 3のセルをセルバッファ2から読み出すと、クラスAの出力セル数は3となり、出力キューカウンタ/ラウンドロビンテーブル制御部1 2が、クラスAの出力セル数が設定帯域に達したと認識し、ラウンドロビンテーブルを、クラスAを含まない優先順位制御レジスタを選択する(b) (図3参照)に切り替える。

【0097】T 9では、ラウンドロビンテーブル(b)の指し示す優先順位制御レジスタは(5)であり、優先順位の最も高いクラスBのB 3のセルがセルバッファ2から読み出される。この時点で、クラスBの出力セル数は3となり、出力キューカウンタ/ラウンドロビンテーブル制御部1 2が、クラスBの出力セル数が設定帯域に達したと認識し、ラウンドロビンテーブルを、クラスA、Bを含まない優先順位制御レジスタを選択する(f)に切り替える。

【0098】以下同様に、出力セル数が設定帯域に達したクラスが発生する度に、ラウンドロビンテーブルを切り替え、ラウンドロビンテーブルの指し示す優先順位制御レジスタの優先順位に従い、キューのあるクラスのセルがセルバッファより読み出される。

【0099】T 11で、1 2個目のセルであるD 3を読み出した後、出力キューカウンタ/ラウンドロビンテーブル制御部1 2内の出力セル数カウンタ2 3はリセットされ、T 12で選択されるラウンドロビンテーブルはT 0と同じ(a)となる。

【0100】以上、図7に示す例ではセル出力クラスの偏り無く、設定した帯域に帯域分割を実現していることがわかる。

【0101】図8は、図7と同様、クラスA~D各クラスの出力帯域を25Mb i t / sとし、全クラス完全優先指示および空きスロット挿入指示をしない設定で、各クラスの到着セルパターンが異なる場合のセル出力優先制御動作例を示している。到着セルパターンが各クラスとも不均等であり、かつ、クラスAおよびBの到着セル数が、出力設定帯域をオーバーしている点が図7に示す例と異なる。

【0102】図8において、まず、T 0において、クラスAおよびBのセルA 1およびB 1が到着し、クラスAおよびBのキューの値が“1”となる。この時点では全クラス出力セル数は0であり、設定帯域に達したクラスは無く、ラウンドロビンテーブルは(a)が選択されている。この時ラウンドロビンテーブル(a)の指し示す優先順位制御レジスタは(1)であり、優先順位が最も高く、かつ、キューのあるクラスAのA 1のセルがセルバッファ2から読み出される。読み出し後、クラスAのキューは1減少し“0”となる。

【0103】T 1では新規到着セルは無く、キューがあるのはクラスBだけである。ラウンドロビンテーブル(a)の指し示す優先順位制御レジスタが(2)に切り替わり、優先順位が最も高く、かつ、キューのあるクラスBのB 1のセルがセルバッファ2から読み出される。読み出し後、クラスBのキューは1減少し“0”となる。

【0104】つぎに、T 2でクラスAのセルA 2が到着し、クラスAのキューの値が“1”となる。ラウンドロビンテーブル(a)の指し示す優先順位制御レジスタは(3)に切り替わるが、優先順位が最も高いクラスC、2番目に高いクラスDはキューが無く、優先順位3番目のクラスAのA 2のセルがセルバッファ2から読み出される。読み出し後、クラスAのキューは1減少し“0”となる。

【0105】同様の処理が、T 3、T 4で行われ、T 4でA 3のセルがセルバッファ2から読み出され、クラスAの出力セル数が設定値に達し、出力キューカウンタ/ラウンドロビンテーブル制御部1 2がラウンドロビンテーブルを(b)に切り替える。

【0106】以下、出力セル数が設定帯域に達したクラスが発生する度に、ラウンドロビンテーブルを切り替え、ラウンドロビンテーブルの指し示す優先順位制御レジスタの優先順位に従い、キューのあるクラスのセルがセルバッファより読み出される。

【0107】図8に示す例では、クラスAおよびBの到着セル数が出力可能なセル数より多いが、出力セル数が設定帯域に達した時点でラウンドロビンテーブルが切り替わり、設定帯域に達したクラスは優先順位から外されるので、クラスAおよびBのセルが設定帯域を超えて読み出されることはない。

【0108】図9は、クラスA~D各クラスの出力帯域を25Mb i t / sとし、空きスロット挿入指示をせず、完全優先指示レジスタにクラスA、Bの順で優先順位を設定した場合の、セル出力優先制御動作例を示している。この場合、完全優先指示レジスタ1 0の内容が優先制御レジスタ1 3の内容より優先される。

【0109】図9において、タイミングT 0で、クラスCおよびDのセルC 1、D 1が到着したとし、クラスC、Dのキューが“1”となる。完全優先指示レジスタの完全優先指示により、優先順位制御レジスタ(1)の優先順位の編集処理がされるが、この場合、編集後の優先順位も優先順位制御レジスタ(1)の優先順位と同じである。クラスAおよびBのキュー値は0であり、クラスCのC 1のセルがセルバッファ2から読み出される。読み出し後、クラスCのキューは1減少し“0”となる。

【0110】タイミングT 1で、クラスA、BのセルA 1、B 1が到着し、クラスA、BおよびDのキューが“1”となる。クラスA、Bの順で完全優先指示がある

ので、優先順位制御レジスタ（2）の優先順位である B、C、D、A の順位は変更され、最も優先順位の高い、クラス A の A 1 のセルがセルバッファ 2 から読み出される。読み出し後、クラス A のキューは 1 減少し“0”となる。

【0111】つぎに、タイミング T 2 では新規到着セルは無く、クラス B および D にキューがある。タイミング T 1 同様、クラス A、B の順で完全優先指示があるので、優先順位制御レジスタ（3）の優先順位である C、D、A、B の順位は、A、B、C、D の順に変更されるが、クラス A のキューが無いので、次に優先順位の高いクラス B の B 1 のセルがセルバッファ 2 から読み出される。読み出し後、クラス B のキューは 1 減少し“0”となる。

【0112】以下同様に、クラス A、B を最優先にした処理は、それぞれのクラスの出力セル数が設定値に達するまで行われる。

【0113】図 9 に示す例では、完全優先指示レジスタに設定されたクラスのセルが、最優先でセルバッファ 2 から読み出され、かつ、全クラス出力帯域が保証されている。

【0114】図 10 は、クラス A ～ D 各クラスの出力帯域を 25 M b i t / s とし、完全優先指示をせず、空きスロットへのセル挿入指示レジスタにクラス D のみを設定した場合の、セル出力優先制御動作例を示している。

【0115】図 10 において、タイミング T 0 で、クラス A、C および D のセル A 1、C 1 および D 1 が到着し、クラス A、C および D のキューが“1”となる。この時、ラウンドロビンテーブルは（a）が選択されており、またラウンドロビンテーブル（a）の指し示す優先順位制御レジスタは（1）である。優先順位制御レジスタ（1）の優先順位には、全てのクラスが含まれているので、この時点では空きスロット挿入指示があっても優先順位は変わらず、優先順位が最も高く、かつキューのあるクラス A の A 1 のセルがセルバッファ 2 から読み出される。読み出し後、クラス A のキューは 1 減少し“0”となる。

【0116】以下、同様に、ラウンドロビンテーブル（a）の指し示す優先順位制御レジスタの優先順位に従い T 1 から T 3 までのセル読み出し処理が行われる。

【0117】タイミング T 4 でも同様に、ラウンドロビンテーブル（a）の指し示す優先順位制御レジスタ（1）の優先順位に従い処理されるが、タイミング T 4 では全クラスキューが無いので、出力キューフラグに何も出力キューが設定されない。従ってセルバッファ 2 からのセル読み出しは行われず、出力ポートには空きセルが出力される。

【0118】タイミング T 5 ～ T 7 についても、上記 T 0 ～ T 3 と同様の処理が行われ、タイミング T 7 で D 3 のセルが読み出された時点でクラス D の出力セル数が設

定帯域に達し、出力キューカウンタ／ラウンドロビンテーブル制御部 1 2 が、ラウンドロビンテーブルを、クラス D を含まない優先順位制御レジスタを選択する（e）に切り替える。

05 【0119】タイミング T 8、T 9 では、それぞれラウンドロビンテーブル（e）の指し示す優先順位制御レジスタ（16）、（14）の優先順位の末尾に、空きスロット挿入指示のあるクラス D を加えた優先順位に編集される。この場合、優先順位制御レジスタ（16）の優先順位は、C、A、B、D となり、優先順位制御レジスタ（14）の優先順位は、A、B、C、D となる。

10 【0120】今度はタイミング T 9 で C 3 のセルが読み出された時点でクラス C の出力セル数が設定帯域に達し、出力キューカウンタ／ラウンドロビンテーブル制御部 1 2 が、ラウンドロビンテーブルを、クラス C、D を含まない優先順位制御レジスタを選択する（k）に切り替える。

15 【0121】タイミング T 10 では、ラウンドロビンテーブル（k）の指し示す優先順位制御レジスタ（27）の優先順位の末尾に空きスロット挿入指示のあるクラス D を加えた A、B、D の順位に従い処理される。タイミング T 10 ではクラス D にしかキューが無く、クラス D は出力セル数が設定値に達していても、空きスロット挿入指示があるので、クラス D のセル D 4 がセルバッファ 2 から読み出される。

25 【0122】タイミング T 11 も同様に、ラウンドロビンテーブル（k）の指し示す優先順位制御レジスタ（28）の優先順位と空きスロット挿入指示によって決定された優先順位に従いセル読み出し処理が行われる。

30 【0123】以上、図 10 に示す例において、出力セル数が設定帯域未満のクラスに、キューが無い場合、既に設定帯域に達しているクラスで空きスロット挿入指示のあるクラスにキューがあれば、そのクラスからセル読み出しが行われる。

35 【0124】なお、各指示部は、1 つの指示部により構成させてもよい。

【0125】以上、説明したように処理することにより、第 2 の実施の形態によれば、複数種類ある優先制御レジスタのうち利用する優先順位制御レジスタをラウンドロビンテーブルによって定期的に巡回させることで、完全優先制御によるセル出力クラスの偏りをなくし、帯域分割を実現することができる。

40 【0126】さらに、出力キューカウンタ／ラウンドロビンテーブル制御部 1 2 が、各クラスの出力セル数を常に監視し、設定帯域を超えないようにラウンドロビンテーブルの切替を制御するので、各クラスの出力帯域が設定値を超えることが無い。

45 【0127】また、完全優先指示レジスタを使用することにより、出力ポート内の一部のクラス又は全クラスの優先制御方式を完全優先とすることができ、完全優先処

理のクラスと出力帯域固定のクラスとの混在も可能である。

【0128】また、空きスロットへのセル挿入指示レジスタを使用することにより、設定出力帯域を満たしたクラスが、他クラスでセルバッファに保持するセルが無い場合（空きスロット発生時）に、セルを出力することも可能である。

【0129】上記第1および第2の実施の形態によれば、複数の品質クラス毎に分けられたセルバッファ内のセルを優先順位の高いものから効率的に読み出すことができる。セル読み出し処理時、読み出すべきクラスを簡単に認識することができ、また、セルの読み出しアドレスを格納した管理テーブルへのアクセスは、出力するクラスに対応する領域のみで済むので、クラス分けの数が増えても処理時間に影響を与えることがない。

【0130】また、上記第1および第2の実施の形態によれば、ラウンドロビンテーブル上に割り当てるそれぞれの優先順位制御レジスタの割合を変えることにより、帯域分割が実現でき、一つのクラスばかりが出力されることを避けられる。

【0131】また、上記第2の実施の形態によれば、一時的にあるクラスのセルバッファにセルが無くなった場合、その瞬間優先順位の低い他クラスのセルが出力されるが、各クラスの出力セル数は常に監視されており設定帯域を超えないように制御されるので、各クラスの出力帯域が設定値を超えることは無い。つまり出力ポート毎に各クラスの出力帯域を設定でき、かつ、最小出力帯域が保証可能である。

【0132】また、ある出力ポートで、全クラス又は一部のクラスの優先制御方式を完全優先としたい場合、完全優先とするクラスに対応する完全優先指示レジスタに優先順位を設定することにより、完全優先が実現できる。

【0133】さらに、設定された出力帯域を満たしていない他のクラスのセルバッファにセルが無い時に（空きスロット発生時）、既に設定された出力帯域を満たしているクラスのセルを出力させたい場合、該当クラスの空きスロットへのセル挿入指示レジスタに、挿入指示するクラスの優先順位をセットすることによって、その優先順位に従ってセルを送出することができる。

【0134】また、出力キューカウンタ／ラウンドロビンテーブル制御部で各クラスの出力帯域が管理されるので、ラウンドロビンテーブルでの帯域分割を厳密に行う必要はなく、ラウンドロビンテーブルの大きさを小さくすることができる。つまり、ラウンドロビンテーブルが小さくても、各クラスの出力帯域を細かく設定できる。

【0135】また、全出力ポートでラウンドロビンテーブルを共用化するので、メモリ量を大幅に削減できる。

【0136】また、ラウンドロビンテーブル、優先順位制御レジスタ、帯域設定レジスタ、完全優先指示レジ

スタおよび空きスロットへのセル挿入指示レジスタは、書き換え可能であり、マイコンインタフェースを持つことで、システム稼働中でもクラス数やポート設定を変更することができる。

05 【0137】

【発明の効果】本発明によれば、効率的に出力セルの優先制御を行うことができ、また、クラス分け（優先順位）の数が増えた場合にも、処理時間が増大しない。

10 【0138】また、出力ポート毎に各クラスの出力帯域を設定でき、かつ、出力帯域保証が可能となる。

【0139】また、各出力ポートで各クラスの設定を出力帯域固定にも完全優先にも自由に変更可能とし、かつ、出力帯域を固定とするクラスと、完全優先制御によりセルを出力するクラスとの混在を許容できる。

15 【0140】更に、設定出力帯域を満たしたクラスが、他クラスでセルバッファに保持するセルが無い場合、セル出力が可能となる。

【図面の簡単な説明】

20 【図1】本発明の第2の実施の形態における出力バッファ型のスイッチシステムの構成図。

【図2】本発明の第1および第2の実施の形態で用いるポート管理テーブルを示す説明図。

25 【図3】本発明の第2の実施の形態で用いる優先順位制御レジスタ、ラウンドロビンテーブルの詳細を示す説明図。

【図4】本発明の第2の実施の形態で用いる出力キューカウンタ／ラウンドロビンテーブル制御部の詳細を示す説明図。

30 【図5】本発明の第2の実施の形態で用いる優先順位変更／セル読み込み制御回路、完全優先指示レジスタ、空きスロットへのセル挿入指示レジスタの詳細を示す説明図。

【図6】本発明の第2の実施の形態を示すセルバッファ読み出しフロー図。

35 【図7】本発明の第2の実施の形態のセル出力優先制御部の動作を示す説明図（1）。

【図8】本発明の第2の実施の形態のセル出力優先制御部の動作を示す説明図（2）。

40 【図9】本発明の第2の実施の形態のセル出力優先制御部の動作を示す説明図（3）。

【図10】本発明の第2の実施の形態のセル出力優先制御部の動作を示す説明図（4）。

【図11】本発明の第1の実施の形態を示す出力バッファ型のスイッチシステムの構成図。

45 【図12】本発明の第2の実施の形態で用いるポート管理テーブル。

【図13】本発明の第1の実施の形態を示すセルバッファ読み出しフロー図（1）。

50 【図14】本発明の第1の実施の形態を示すセルバッファ読み出しフロー図（2）。

【図15】本発明の第1の実施の形態を示すセルバッファ読み出しフロー図(3)。

【図16】従来技術を示す説明図。

【図17】本発明の第2の実施の形態で用いる出力キュー決定回路の動作を示す説明図。

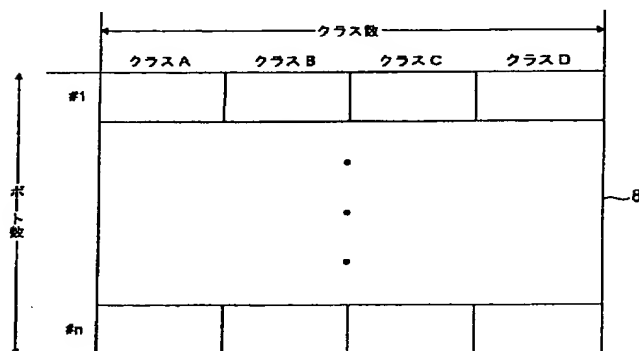
【符号の説明】

1・100…セル多重部、2・101…セルバッファメモリ、3・102…セル分離部、4・103…ルーティング先/優先クラス識別回路、5・104…セル書き込み制御回路、6…優先順位変更/セル読み込み制御回路、7…メモリインタフェース、8…ポート管理テーブル、9…キュー管理テーブル、10…完全優先指示レジスタ、11…空きスロットへのセル挿入指示レジスタ、12…出力キューカウンタ/ラウンドロビンテーブル制御部、13・92…優先順位制御レジスタ、14・93…優先順位制御レジスタ選択部、15・91…ラウンドロビンテーブル、16…ラウンドロビンテーブル選択部、17…ラウンドロビンテーブル指示部、18・94…優先順位制御レジスタ指示部、20…帯域設定レジスタ、21…帯域超過判別回路、22…帯域設定レジスタ指示部、23…出力セル数カウンタ、30…出力キュー決定回路、31…優先順位編集レジスタ、32

…出力キューフラグ、33…セル読み込み制御回路、34…完全優先指示レジスタ指示部、35…空きスロットへのセル挿入指示レジスタ指示部、41…各クラスのキュー状態認識処理、42…各クラスの優先順位判定処理、43…完全優先指示、空きスロット挿入指示認識処理、44…出力クラス決定処理、45…クラスAのセルバッファ読み出し処理、46…クラスAのセルの出力キューの有無判定処理、47…クラスAのセルの出力キューフラグが“1”の時の遷移ルート、48…セルバッファ読み出しアドレス更新処理、49…キューの値の減算(−1)処理、50…キューの値の“0”との比較処理、51…キューフラグ“0”書き込み処理、52…キューフラグ“1”書き込み処理、53…ポート2のセル読み出し処理への遷移ルート、54…クラスAのセルのキューフラグが“0”の時の遷移ルート、55…クラスBのセルバッファ読み出し処理、56…クラスCのセルバッファ読み出し処理、57…クラスDのセルバッファ読み出し処理、90…セル読み込み制御回路、95…クラスAのセルのキューの有無判定処理、105…セル読み込み制御回路(完全優先制御)、106…管理テーブル。

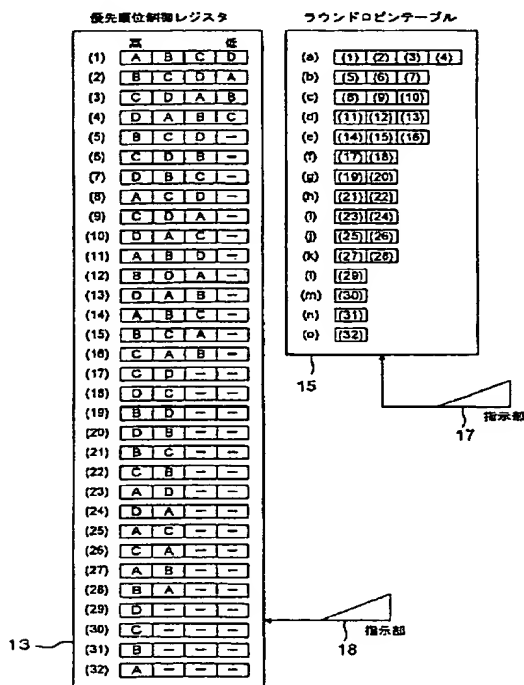
【図2】

本発明の実施の形態で用いるポート管理テーブルを示す図(図2)

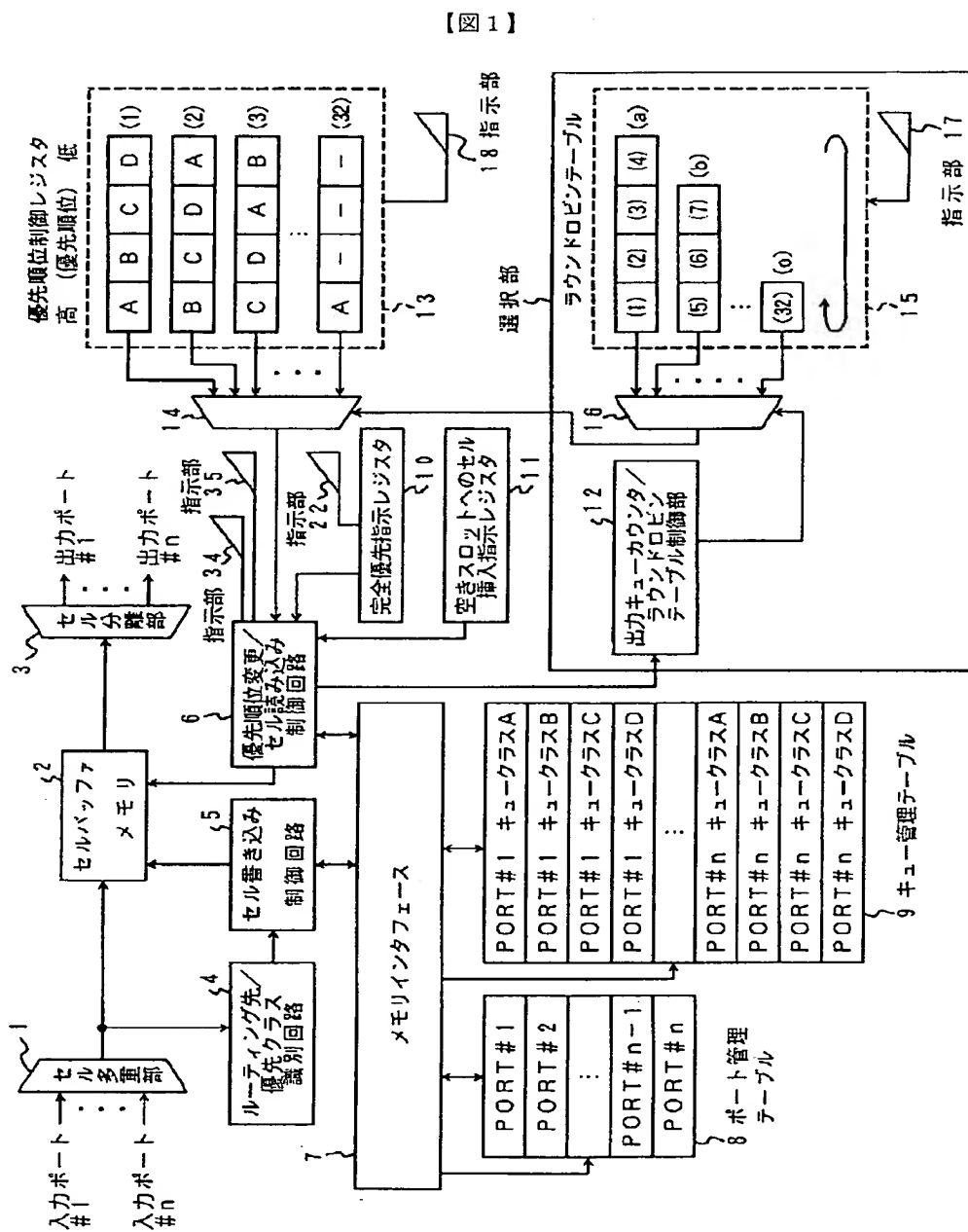


【図3】

本発明の実施例で用いる優先順位制御レジスタ、ラウンドロビンテーブルの詳細を示す図(図3)

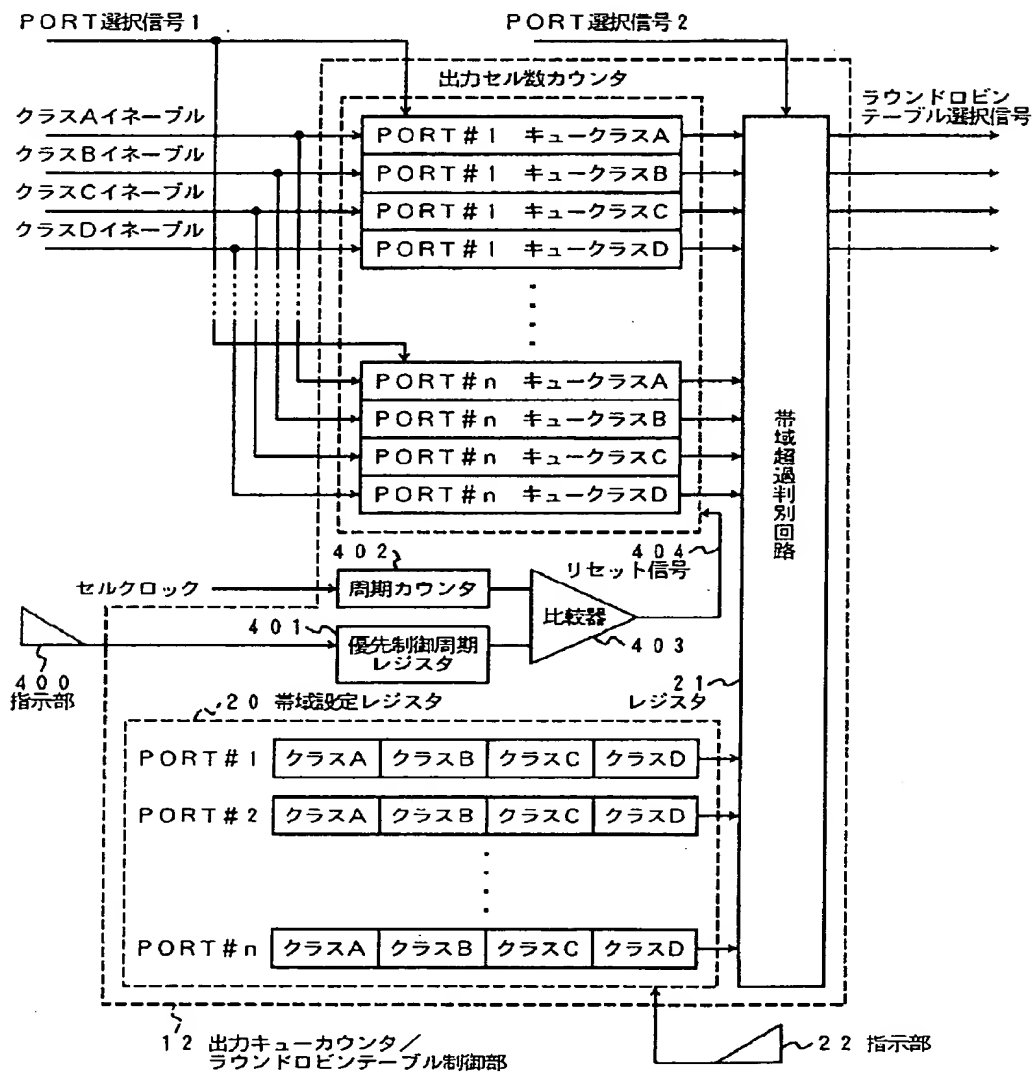


本発明の実施の形態を示す出力バッファ型のスイッチシステムの構成図（図１）



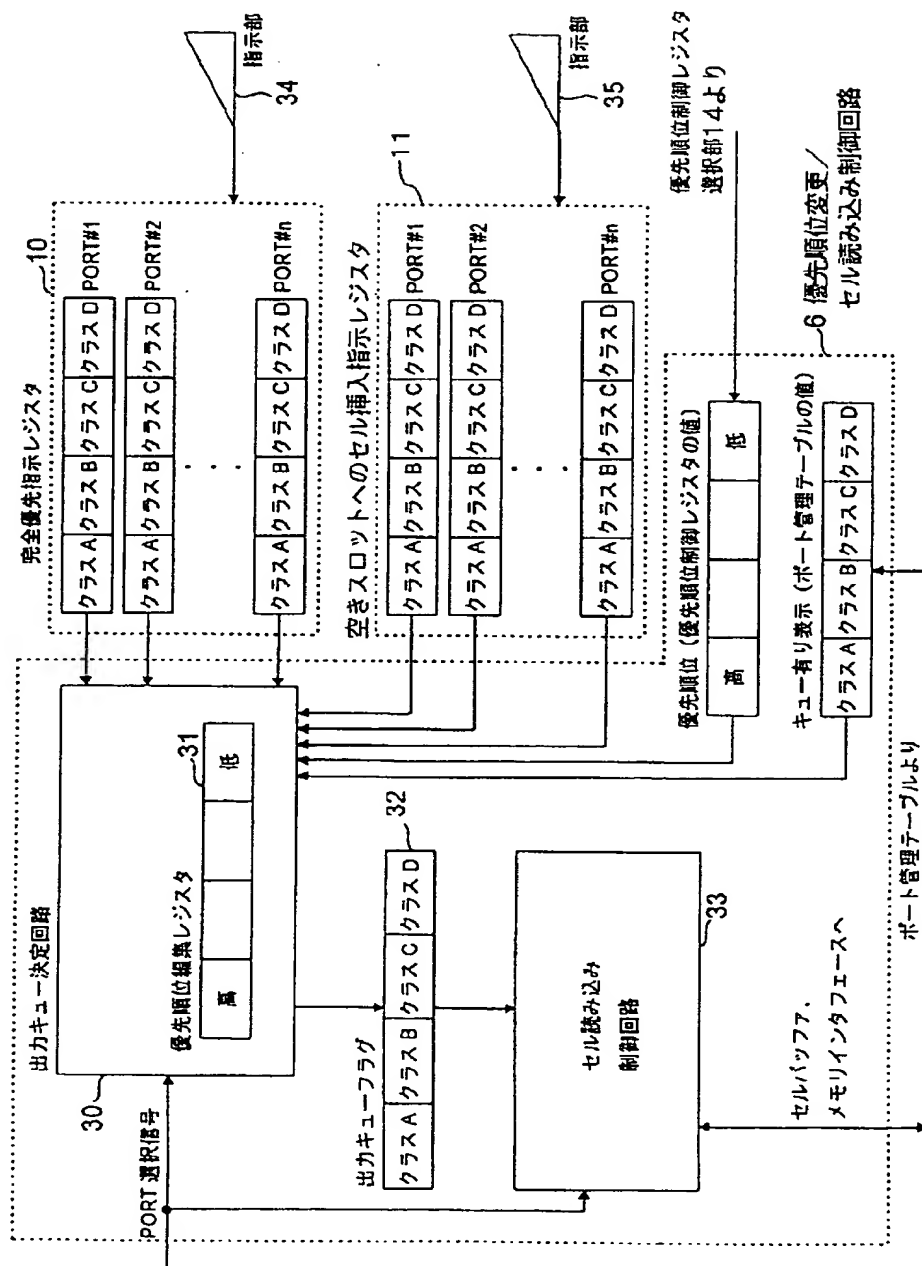
【図4】

本発明の実施例で用いる出力キューカウンタ/ラウンドロビンテーブル制御部の詳細を示す（図4）



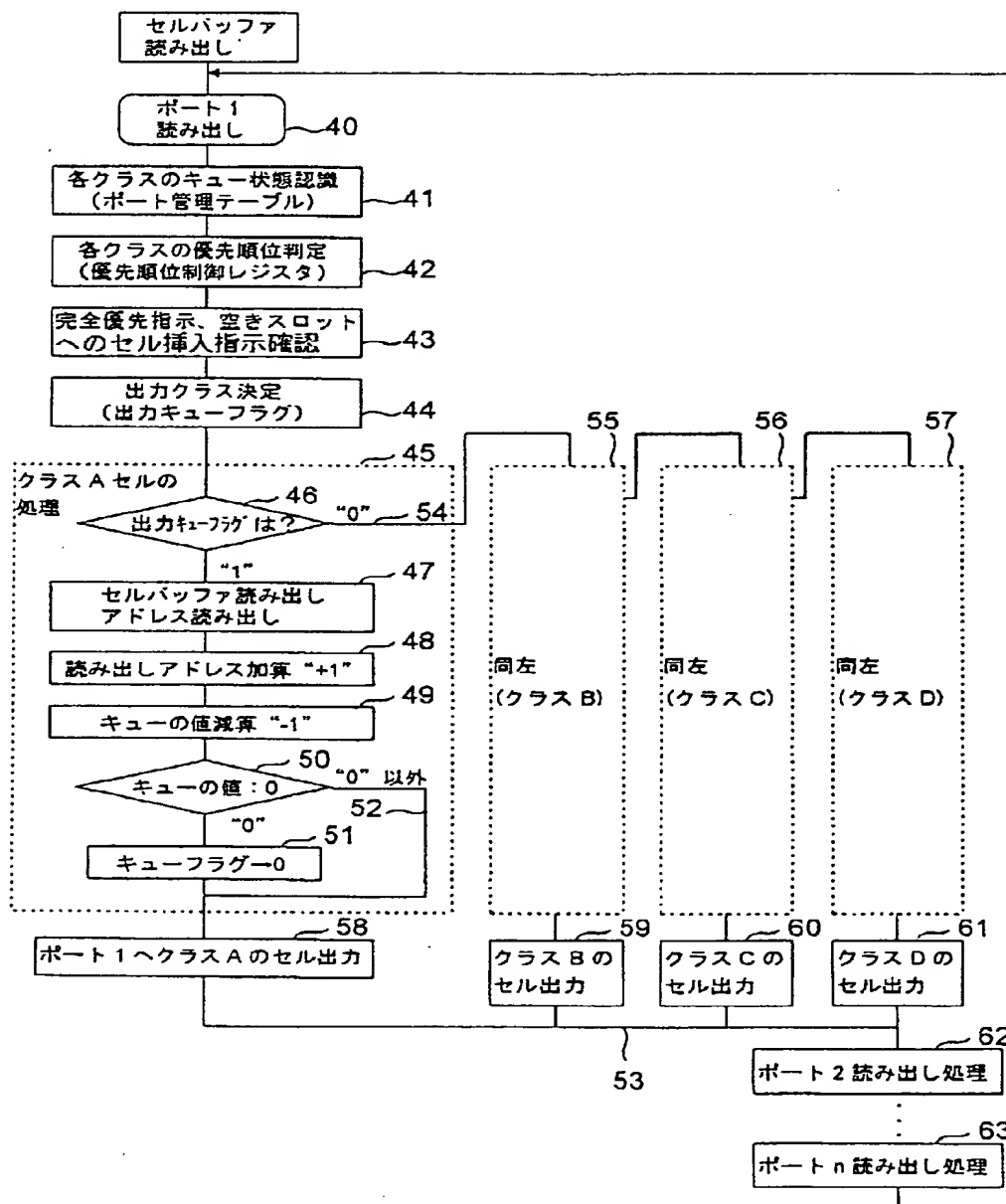
【図 5】

本発明の実施例で用いる優先順位変更／セル読み込み制御回路、完全優先指示レジスタ、空きスロット挿入指示レジスタの詳細を示す図（図5）



【図6】

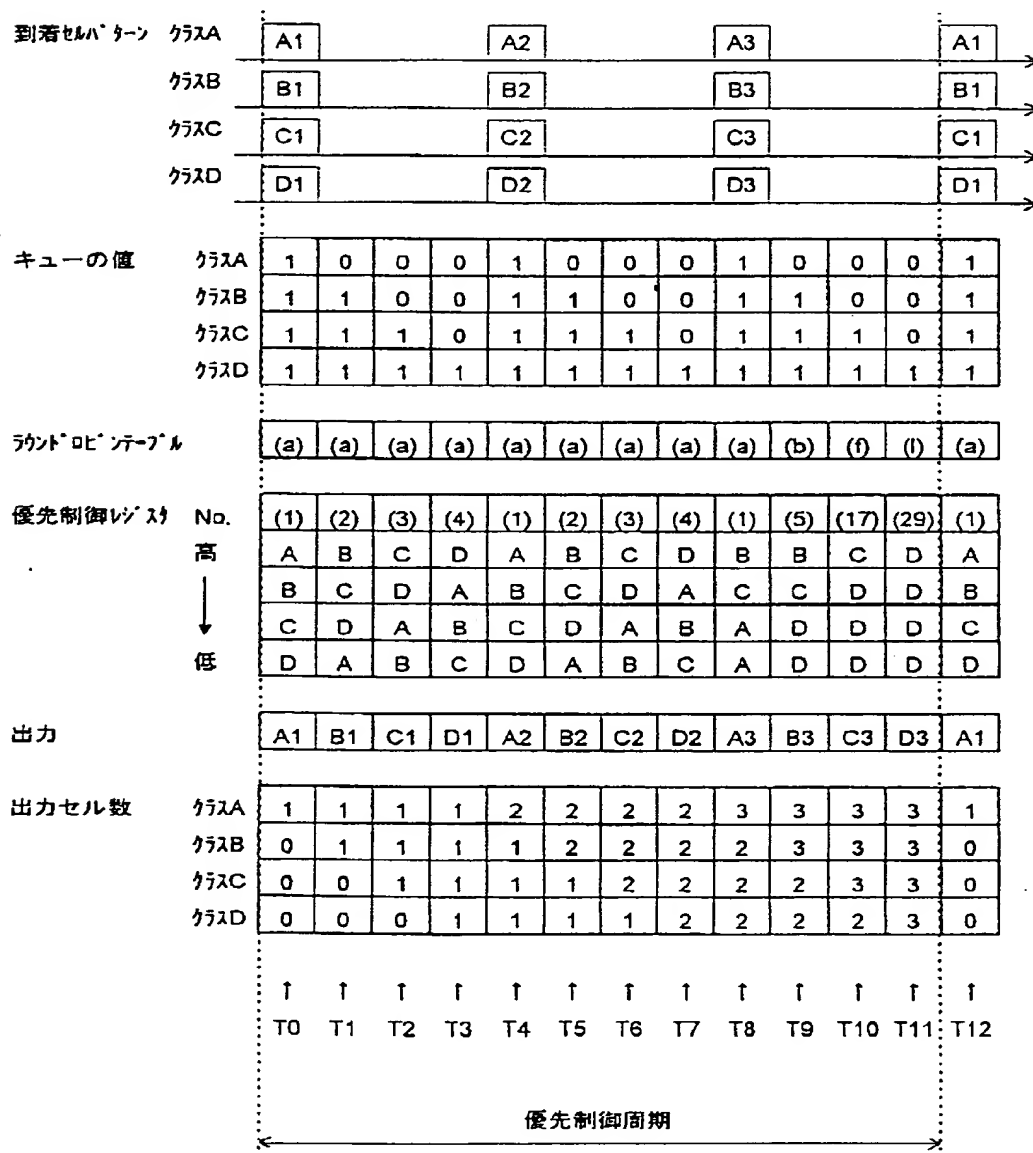
本発明の実施例を示すセルバッファ読み出しフロー図（図6）



【図7】

本発明の実施例のセル出力優先制御部の動作を示す図(1) (図7)

・ポート出力帯域 100M bit/s、クラス A~D 全て固定帯域(A:25M,B:25M,C:25M,D:25M)

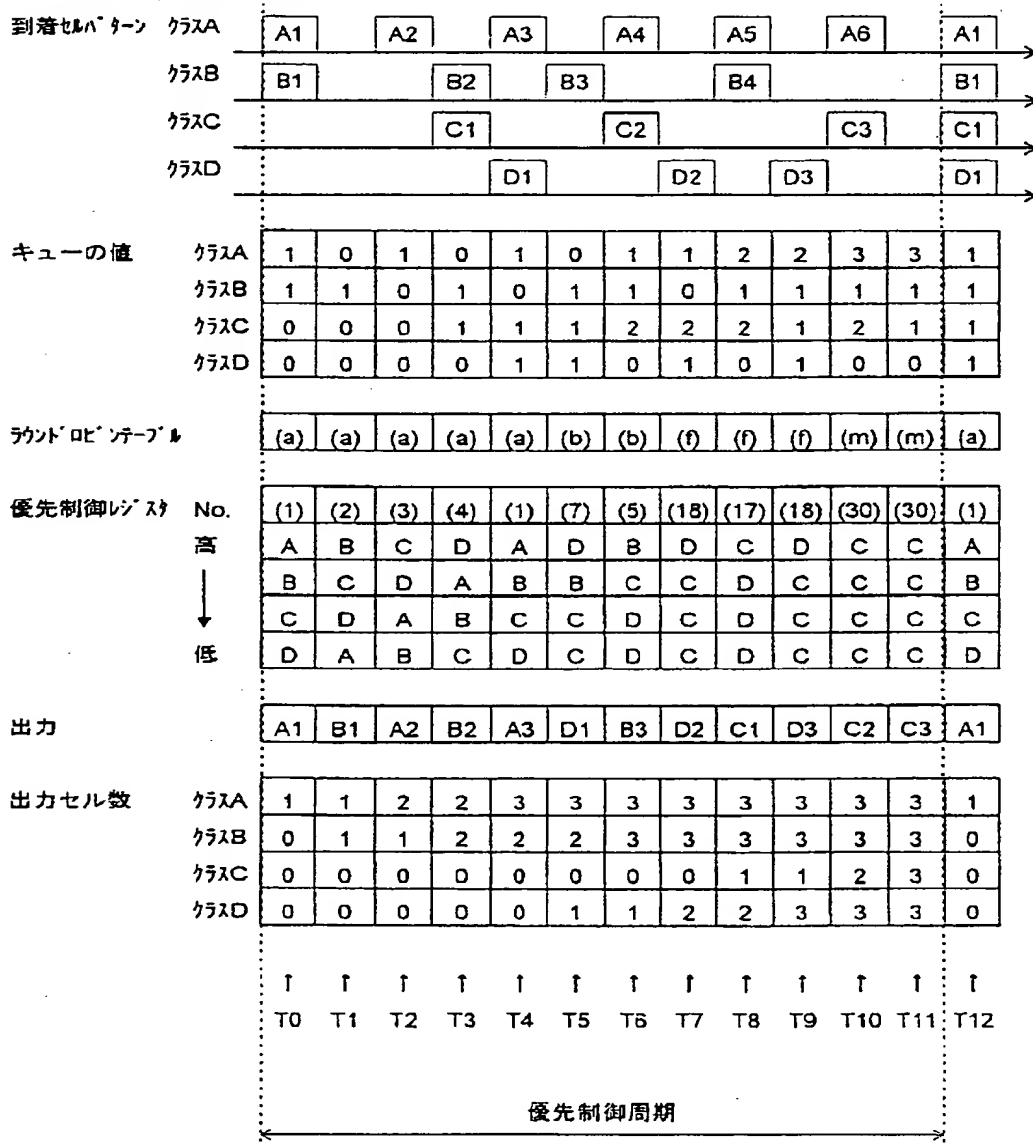


【図8】

本発明の実施例のセル出力優先制御部の動作を示す図(2) (図8)

・ポート出力帯域 100M bit/s、クラス A~D 全て固定帯域(A:25M,B:25M,C:25M,D:25M)

・クラス A,B が設定帯域オーバー

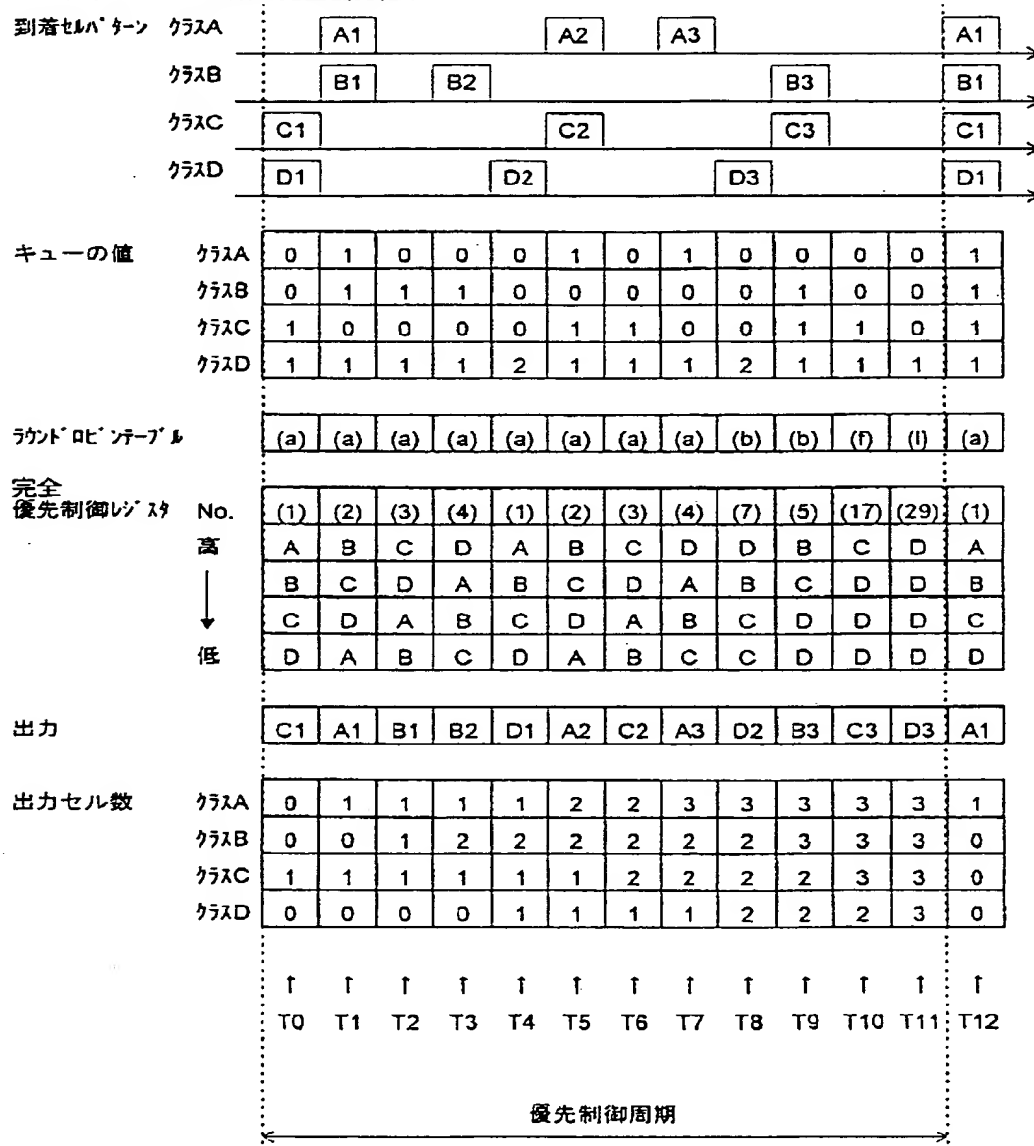


【図 9】

本発明の実施例のセル出力優先制御部の動作を示す図(3) (図 9)

・ポート出力帯域 100M bit/s、クラス A~D 全て固定帯域(A:25M,B:25M,C:25M,D:25M)

・クラス A→B の順で完全優先指示

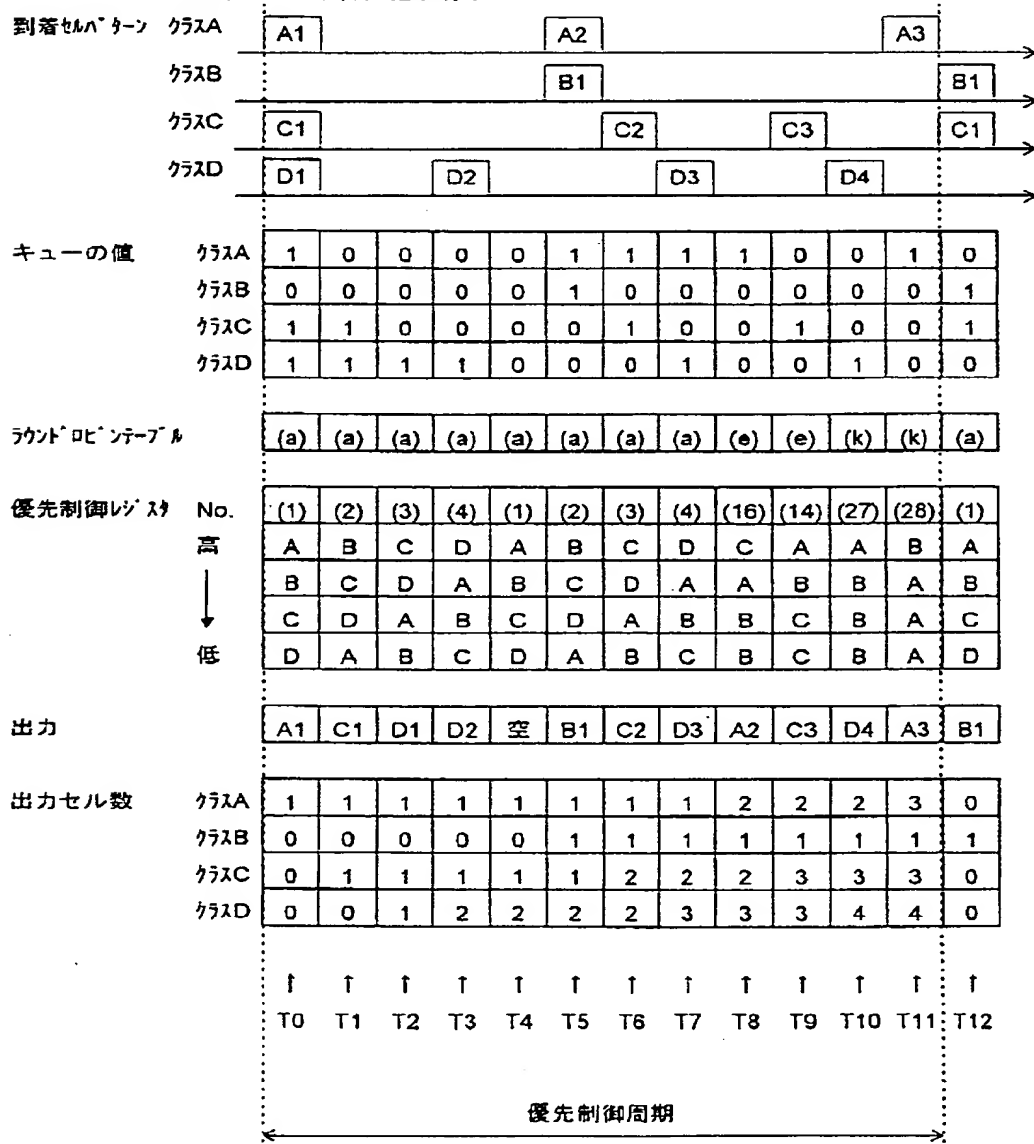


【図 10】

本発明の実施例のセル出力優先制御部の動作を示す図(4) (図 10)

・ポート出力帯域 100M bit/s、クラス A~D 全て固定帯域(A:25M,B:25M,C:25M,D:25M)

・クラス D に空きスロット挿入指示有り



【図 1 2】

本発明の実施例で用いるポート管理テーブル（ポート 1）の論理例を示す図（図 1 2）

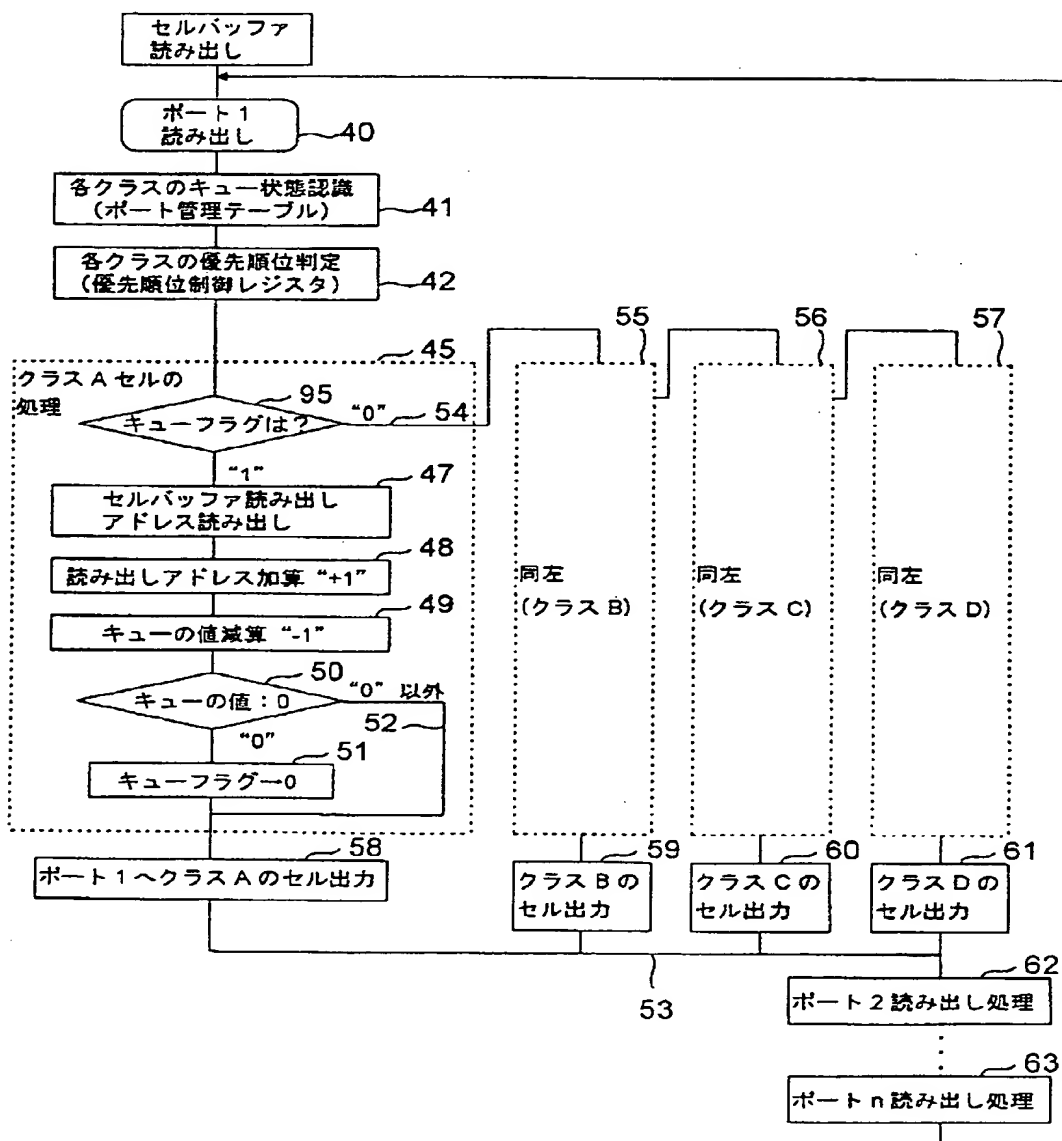
| | | | | |
|----------------------|---|---|---|---|
| 出力ポート 1 (a) (例 1) | 1 | 0 | 0 | 1 |
| 出力ポート 1 (b) (例 2) | 0 | 0 | 0 | 1 |
| 出力ポート 1 (c) (例 3) | 0 | 1 | 0 | 0 |

1: キュー有
0: キュー無

【図13】

第一の実施の形態におけるセルバッファ読み出しフロー図(1) (図13)

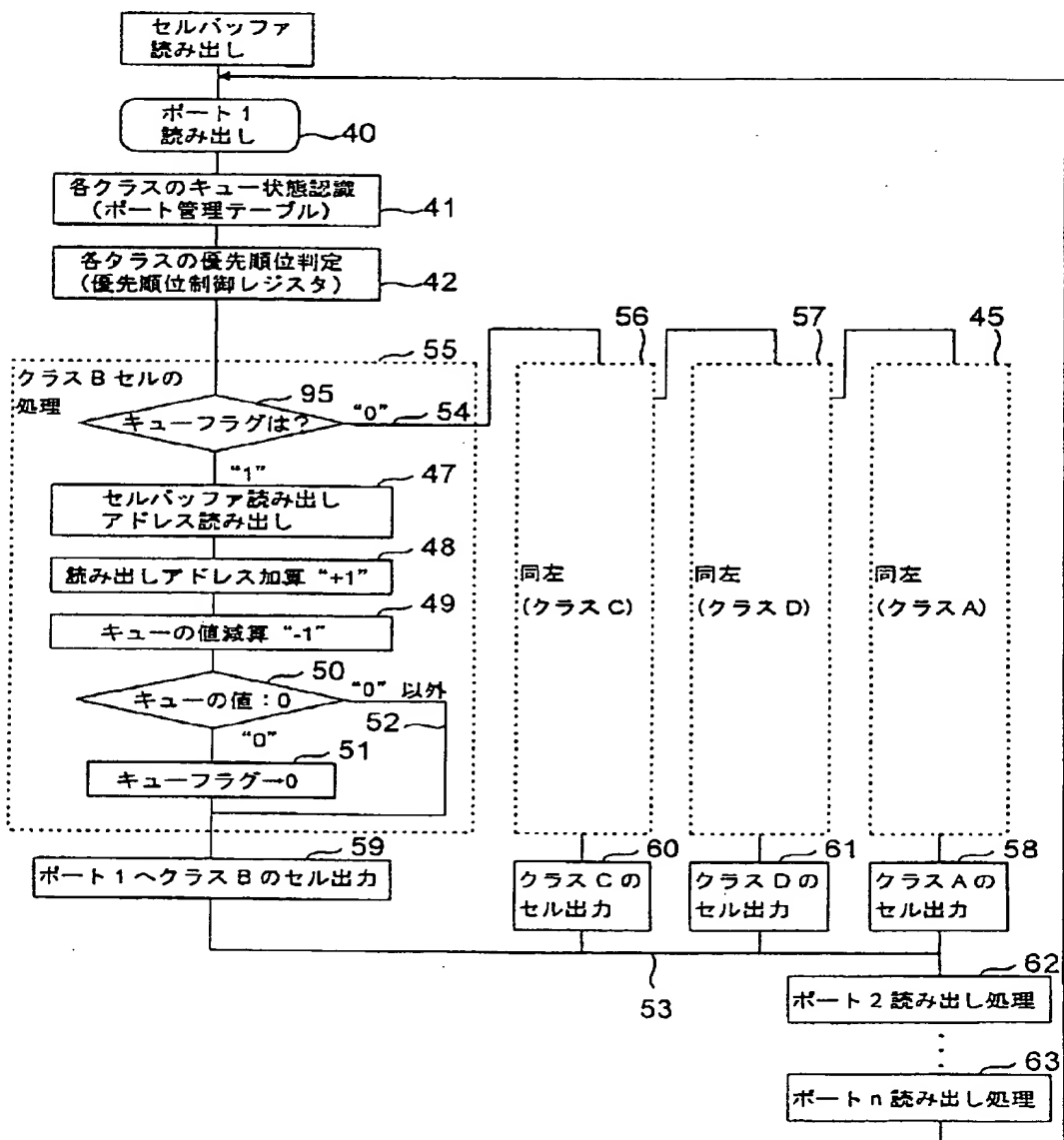
・優先順位制御レジスタの優先順位がクラスA→B→C→Dの順



【図14】

第一の実施の形態におけるセルバッファ読み出しフロー図(2) (図14)

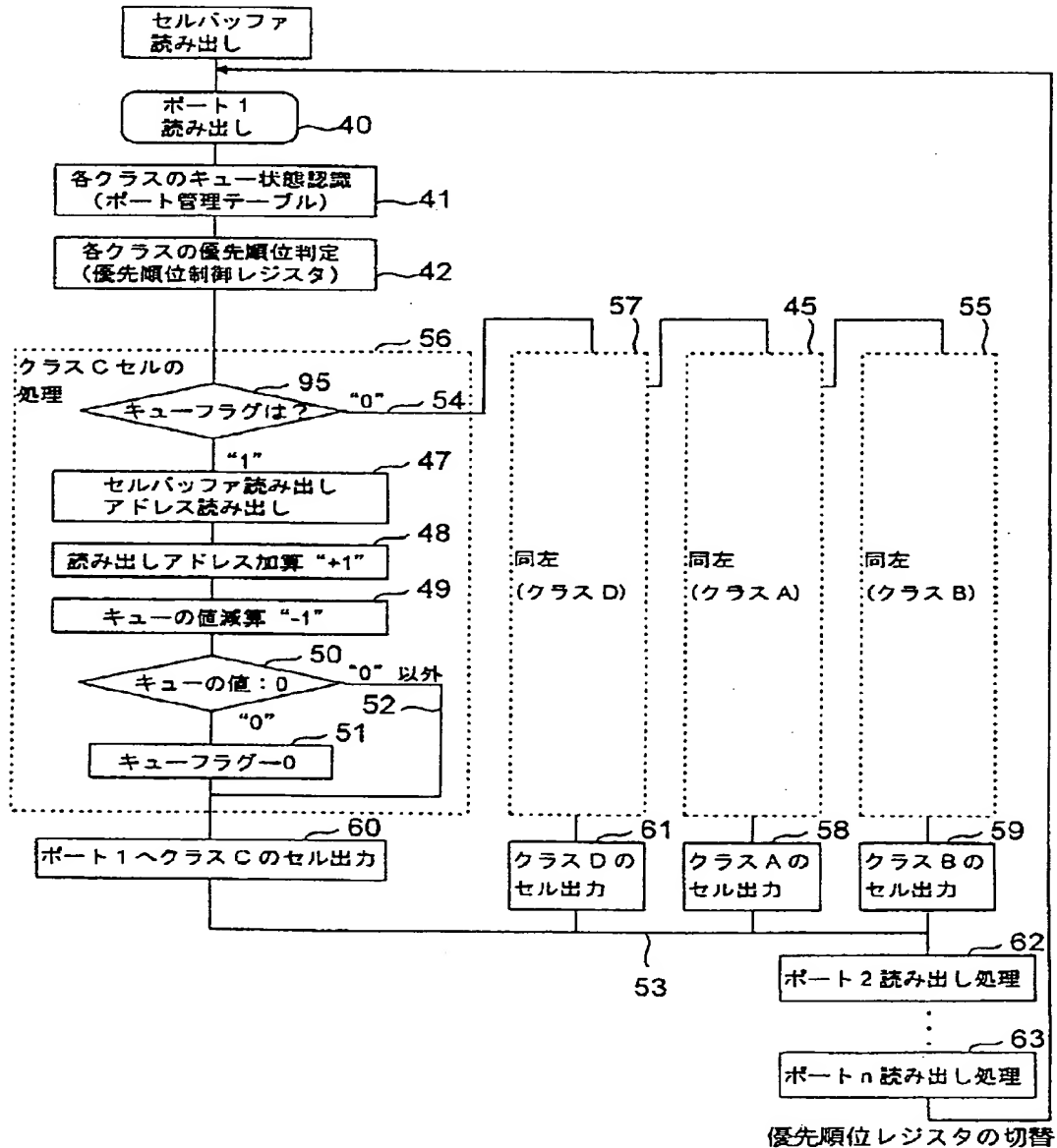
・優先順位制御レジスタの優先順位がクラスB→C→D→Aの順



【図15】

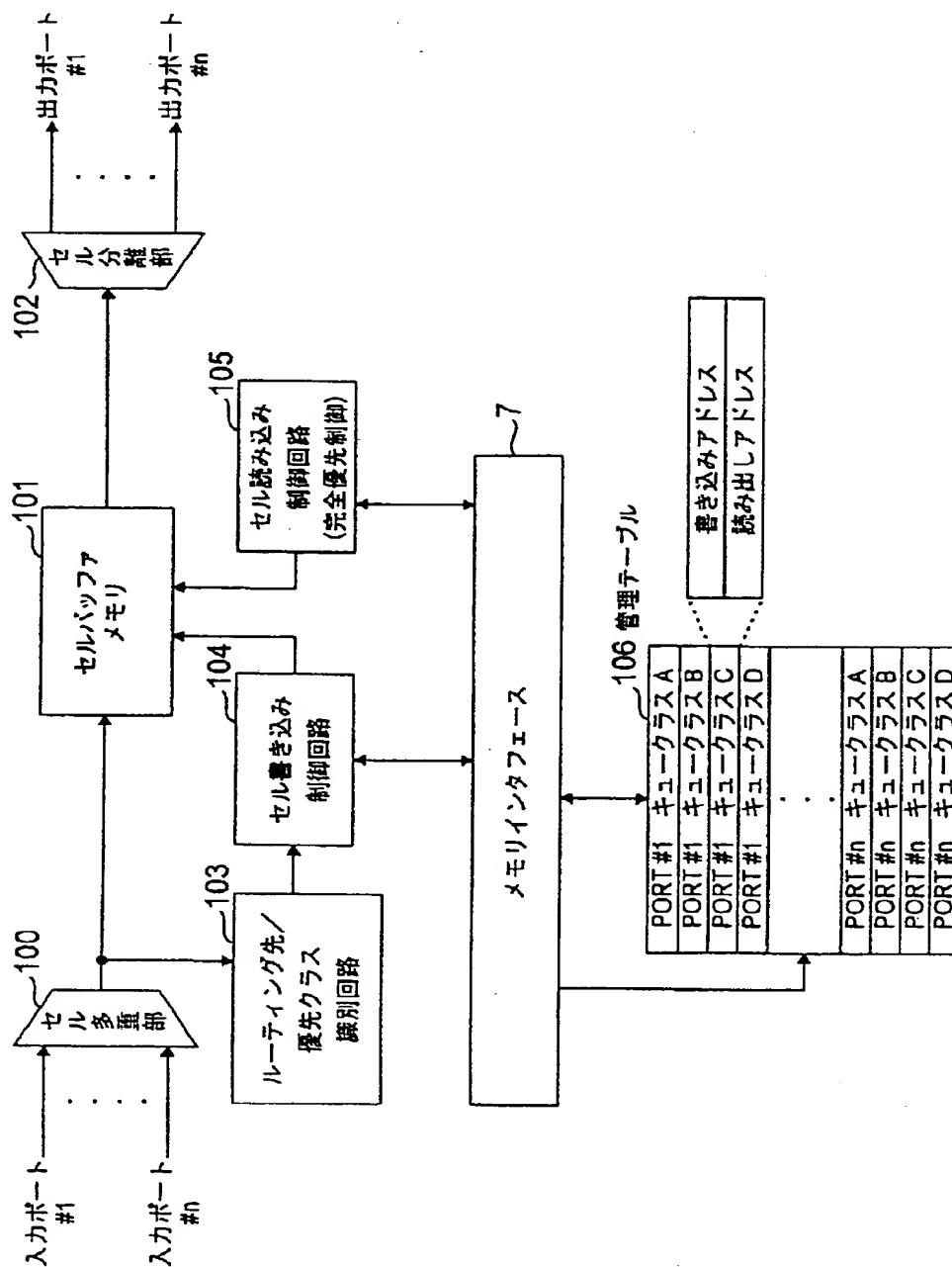
第一の実施の形態におけるセルバッファ読み出しフロー図(3)(図15)

・優先順位制御レジスタの優先順位がクラスC→D→A→Bの順



【図 1 6】

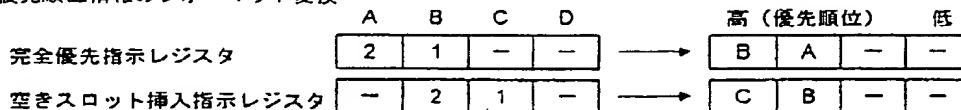
従来技術を示す図 (図 1 6)



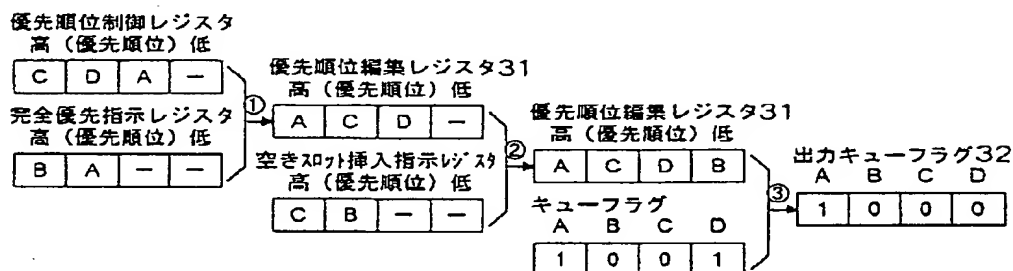
【図 1 7】

本発明の実施例で用いる出力キュー決定回路の動作を示す図（図 1 7）

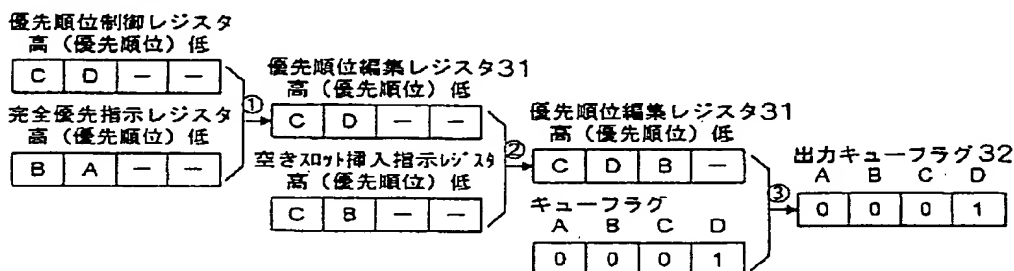
優先順位情報のフォーマット変換



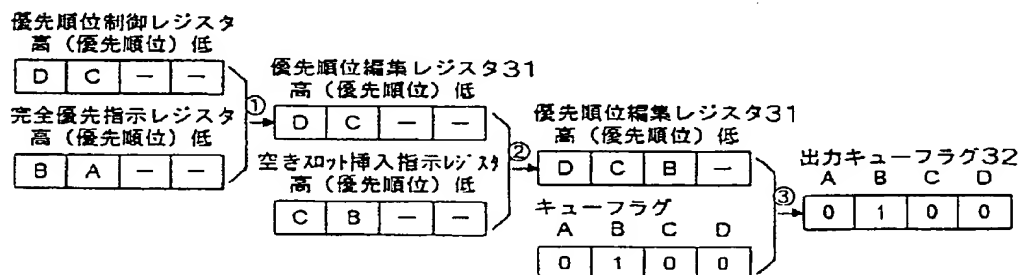
(1) ラウンドロビンテーブル (c)
優先順位制御レジスタ (9) の時



(2) ラウンドロビンテーブル (f)
優先順位制御レジスタ (17) の時



(1) ラウンドロビンテーブル (f)
優先順位制御レジスタ (18) の時



* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The class which shows the class of service added to the inputted cel concerned which inputted the cel and was defined beforehand is followed. A cel maintenance means to be the ATM switch which outputs a cel from the output port corresponding to the destination, to be said every output port, and to hold a cel in said inputted order for said every class, The management tool which manages whether there is any cel which is said every output port and is held for said every class at said cel maintenance means, or there is nothing, In a priority maintenance means to hold two or more sorts of priority of said class, a selection means to choose any one priority from said priority maintenance means, and the priority chosen by said selection means for said every output port About the class managed if there is a cel which is a higher class and is held in said management tool at said cel maintenance means It has the reading control means to which the cel currently held at said cel maintenance means inputted into **** is made to output from the port concerned. Said selection means When the class concerned to choose is changed, and the output band of the cel of each class for said every output port is supervised for every time amount defined beforehand and the supervised output band concerned becomes the set point of the output band of the class of the output port concerned concerned The ATM switch characterized by choosing from said priority maintenance means the priority which does not contain the class concerned about the output port concerned.

[Claim 2] In claim 1, in order that said selection means may change said class to choose for said every time amount defined beforehand When it has further two or more kinds of patterns in which the sequence of a change of the class of the priority concerned is shown and said supervised output band becomes the set point of the output band of the class of said output port concerned The ATM switch characterized by choosing said priority from said priority maintenance means according to the pattern which does not contain the class concerned of the output port concerned.

[Claim 3] It is the ATM switch characterized by supervising said output band by carrying out counting of the outputted number of cels in the time amount as which each class for said every output port determined said selection means beforehand in claim 1.

[Claim 4] In claim 1, give priority over the priority of said priority maintenance means in each class for said every output port. It has further a perfect priority maintenance means to hold the priority of at least one class for said every output port. Said reading control means The ATM switch characterized by giving priority over the priority of said selected priority maintenance means to the priority of the class currently held at said perfect priority maintenance means, and making said cel output.

[Claim 5] In claim 1, when said output band is held and the cel of the class of under the set point is not held for said every output port at said cel maintenance means When the cel of the class from which said output band serves as the set point is held at said cel maintenance means It has further a directions means to permit the output of the cel of the class concerned. Said reading control means When the cel of the class of under the set point is not held at said cel maintenance means, said output band The ATM switch which the class from which said output

band serves as the set point is a class permitted to said directions means, and is characterized by outputting the cel of the class concerned when the cel of the class concerned is held at said cel maintenance means.

[Claim 6] The ATM switch characterized by having further a priority directions means to make the priority which received said priority from the exterior and was received for said priority maintenance means in claim 1 hold.

[Claim 7] The class which shows the class of service added to the inputted cel concerned which inputted the cel and was defined beforehand is followed. A cel maintenance means to be the ATM switch which outputs a cel from the output port corresponding to the destination, to be said every output port, and to hold a cel in said inputted order for said every class, The management tool which manages whether there is any cel which is said every output port and is held for said every class at said cel maintenance means, or there is nothing, The selection means which chose any one priority from a priority maintenance means to hold two or more sorts of priority of said class, and said priority maintenance means, and was defined beforehand and which changes the class concerned to choose for every time amount, A perfect priority maintenance means give priority over the priority of said priority maintenance means in each class for said every output port to hold the priority of at least one class for said every output port, When there is priority of the class currently held at said perfect priority maintenance means for said every output port, give priority to the priority concerned over the priority of said selected priority maintenance means, and it is set to the priority concerned. About the class managed if there is a cel which is a higher class and is held in said management tool at said cel maintenance means The ATM switch characterized by having the reading control means to which the cel currently held at said cel maintenance means inputted into **** is made to output from the port concerned.

[Claim 8] Two or more input port, two or more output ports, and the output port corresponding to the destination added to the cel inputted from said two or more input port, The discrimination decision circuit which identifies the class which shows the class of service added to the cel concerned, In order to be said every output port and to make the cel inputted as the cel buffer holding the inputted cel hold to said cel buffer for said every class at the inputted order The write-in control circuit which directs the write-in address of the cel buffer concerned, When there is a cel which is the higher class of said priority and is held at said cel buffer for said every output port, about a class In order to make the cel currently held at said cel buffer inputted into **** output from the port concerned The managed table which is said every output port and holds the reading control circuit which directs the read-out address, and said write-in address and said read-out address for said every class, It has a priority control register holding two or more sorts of priority of said class, and the selection circuitry which chooses any one priority from said priority control register. Said selection circuitry When the class concerned to choose is changed, and the output band of the cel of each class for said every output port is supervised for every time amount defined beforehand and the supervised output band concerned becomes the set point of the output band of the class of the output port concerned concerned The ATM switch characterized for choosing from said priority control register the priority which does not contain the class concerned of the output port concerned by things.

[Claim 9] The class which shows the class of service added to the inputted cel concerned which inputted the cel and was defined beforehand is followed. It is the cel output priority-control approach in the ATM switch which outputs a cel from the output port corresponding to the destination. Are said every output port and a cel is held in said inputted order for said every class. Are said every output port and it manages whether there is said cel to hold or there is nothing for said every class. When two or more sorts of priority of said class is made to hold to a register, the output band of the cel of each class for said every output port is supervised and the supervised output band concerned becomes the set point of the output band of the class of the output port concerned concerned Choose from said register one of the priority which does not contain the class concerned of the output port concerned, and for every time amount defined beforehand, change the class concerned to choose and it sets to said selected priority for said every output port. The cel output priority-control approach which is a higher class and is

characterized by making said cel which was inputted into the ** point, and which is held output from the port concerned about the class managed if there is said cel currently held.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the approach of attaching priority to the cel outputted from a switch, and performing an output control, in an ATM switch.

[0002]

[Description of the Prior Art] The output priority-control method of the cel in the conventional ATM switch is explained with reference to drawing 16.

[0003] The cel multiplex section 100 to which an ATM switch carries out multiplex [of the cel] in drawing 16, The cel buffer 101 holding a cel, and the cel separation section 102 which separates a cel for every output port, The routing point / priority class discrimination decision circuit 103 which identifies the class which shows the routing point and the priority defined beforehand of a cel, It has the managed table 106 which reads with the cel write-in control circuit 104 which controls the writing to the cel buffer 101, the cel reading control circuit 105 which controls read-out from the cel buffer 101, and the write-in address to a cel buffer, and manages the address. This ATM switch is the switching system of the output-buffer mold which outputs the cel inputted from the input port of N book to the output port of N book. Moreover, priority is defined beforehand, and the class is controlling by the perfect priority-control method to which the cel of the class is made to output, when not holding the cel of the class of a high order from the class, in making it output preferentially and making the cel of a low-ranking class output about the cel of a class with higher priority.

[0004] For every output port, the field division of the cel buffer 101 is carried out at a part for a class, and it holds a cel in the inputted order and takes the configuration of the FIFO buffer outputted at the order inputted more previously. Moreover, the managed table 106 has several minute (at example shown in drawing 16, they are four classes of A to D) field of a class division of output priority for every output port, is read with the write-in address of the cel to a cel buffer of the field in each, and holds the address. The address of the cel buffer 101 is managed in the cel write-in control circuit 104 and the cel reading control circuit 105.

[0005] As write-in actuation of a cel, as for the cel inputted into input port, an output port and a priority class are identified in the routing point / priority class discrimination decision circuit 103. Then, with reference to the managed table 106, from the applicable class field of the identified applicable port, the cel write-in control circuit 104 obtains the write-in address to the cel buffer 101, directs the write-in address, and writes a cel in the cel buffer 101. Moreover, the cel write-in control circuit 104 directs the next write-in address on a managed table by carrying out the write-in address value of a managed table +one (addition). Write-in actuation to the cel buffer 101 is performed by repeating the above actuation for every cel write-in timing.

[0006] Next, it asks for the number of cels which reads with the write-in address and is held from a difference with the address to the cel buffer 101 about all classes with reference to a managed table for every port when the cel reading control circuit 105 reads a cel for every class, and the cel inputted more previously is read by directing the read-out address of a class with the highest priority with the cel to hold. The cel reading control circuit 105 directs the next read-out address on a managed table by carrying out the applicable port of a managed table, and

the read-out address of an applicable class +one (addition) at the time of read-out. The next port is processed similarly. By processing as mentioned above, the cel is outputted according to priority.

[0007]

[Problem(s) to be Solved by the Invention] It is necessary to ask for the number of cels which accesses the field of all the classes of a managed table, needs to read with the write-in address at the time of read-out of the cel buffer 101, and needs to read the address to it, and reads with the write-in address to it, and is held from a difference with the address to the cel buffer 101 at it for every class by the implementation approach of the priority control of the output cel by the above-mentioned conventional technique. For this reason, the access frequency to a managed table becomes high, and a limitation arises from the relation of the processing time in the number of class divisions.

[0008] Moreover, a priority-control method is a perfect priority control, and since priority is being fixed to one certain pattern, only the high classes of priority may be outputted at the time of read-out of the cel buffer 101. Moreover, the output band of each class cannot be set as a fixed band. For this reason, there is a possibility that a cel may be outputted across the band to wish.

[0009] the purpose of this invention boils offering the ATM switch with which the processing time does not increase, and its cel output priority-control approach, also when the priority control of an output cel can be performed efficiently and the number of class divisions (priority) increases.

[0010] Moreover, other purposes of this invention are to be able to set up the output band of each class for every output port, and offer the ATM switch which can guarantee an output band, and its cel output priority-control approach.

[0011]

[Means for Solving the Problem] The class which shows the class of service added to the inputted cel concerned which inputted the cel and was beforehand defined in this invention is followed. A cel maintenance means to be the ATM switch which outputs a cel from the output port corresponding to the destination, to be said every output port, and to hold a cel in said inputted order for said every class, The management tool which manages whether there is any cel which is said every output port and is held for said every class at said cel maintenance means, or there is nothing, In a priority maintenance means to hold two or more sorts of priority of said class, a selection means to choose any one priority from said priority maintenance means, and the priority chosen by said selection means for said every output port About the class managed if there is a cel which is a higher class and is held in said management tool at said cel maintenance means It has the reading control means to which the cel currently held at said cel maintenance means inputted into **** is made to output from the port concerned. Said selection means When the class concerned to choose is changed, and the output band of the cel of each class for said every output port is supervised for every time amount defined beforehand and the supervised output band concerned becomes the set point of the output band of the class of the output port concerned concerned The priority which does not contain the class concerned about the output port concerned is chosen from said priority maintenance means.

[0012] The output port corresponding to the destination added to the cel more specifically inputted from two or more input port, two or more output ports, and said two or more input port, The discrimination decision circuit which identifies the class which shows the class of service added to the cel concerned, In order to be said every output port and to make the cel inputted as the cel buffer holding the inputted cel hold to said cel buffer for said every class at the inputted order The write-in control circuit which directs the write-in address of the cel buffer concerned, When there is a cel which is the higher class of said priority and is held at said cel buffer for said every output port, about a class In order to make the cel currently held at said cel buffer inputted into **** output from the port concerned The managed table which is said every output port and holds the reading control circuit which directs the read-out address, and said write-in address and said read-out address for said every class, It has a priority control register holding two or more sorts of priority of said class, and the selection circuitry which chooses any

one priority from said priority control register. Said selection circuitry When the class concerned to choose is changed, and the output band of the cel of each class for said every output port is supervised for every time amount defined beforehand and the supervised output band concerned becomes the set point of the output band of the class of the output port concerned concerned The priority which does not contain the class concerned of the output port concerned can be chosen from said priority control register.

[0013] According to this invention, the cel in the cel buffer divided for two or more service (quality) classes of every can be efficiently read from the high thing of priority. Since it requires only the field corresponding to the class to output, even if the number of access to the managed table which has recognized easily the class which should be read at the time of cel read-out processing, and stored the read-out address of a cel of class divisions increases, it does not affect the processing time.

[0014] Moreover, since the priority which does not contain the class concerned of the output port concerned is chosen from said priority maintenance means when according to this invention the output band of the cel of each class for said every output port is supervised and the supervised output band concerned becomes the set point of the output band of the class of the output port concerned concerned, an output band can be guaranteed. Moreover, by setting up the time amount which changes the class of priority to choose and which was defined beforehand, band division can be realized and it can avoid that only one classes are outputted.

[0015]

[Embodiment of the Invention] The gestalt of operation of the 1st of this invention is explained with reference to drawing 11.

[0016] The cel multiplex section 1 to which an ATM switch carries out multiplex [of the cel] in drawing 11, The cel buffer 2 holding a cel, and the cel separation section 3 which separates a cel for every output port, The routing point / priority class discrimination decision circuit 4 which identifies the routing point and the priority class of a cel, The cel write-in control circuit 5 which controls the writing to the cel buffer 2, The cel reading control circuit 90 which controls read-out from the cel buffer 2, Four of priority control register 92 (a) - (d) holding the priority of an output The round robin table 91, and which priority control register is used in four priority control registers and the priority control register selection section 93 to choose, The port managed table 8 in which being every output port and showing whether there is any cel held for every class at the cel buffer 2, or there is nothing with a flag (henceforth a queue flag), It has the queue managed table 9 which reads with the write-in address of the cel buffer 2, is every output port and holds the address for every class. The ATM switch in the gestalt of operation of this invention is the switching system of the output-buffer mold which outputs the cel inputted from the input port of N book to the output port of N book. A class is priority (in the gestalt of this operation) by the priority control register. a priority train -- only -- priority -- saying, in being set, making it output preferentially about the cel of a class with higher priority and making the cel of a low-ranking class output When the cel of the class of a high order is not held from the class, it is controlling by the perfect priority-control method to which the cel of the class is made to output. Furthermore, on a round robin table, by making the priority control register used among the priority control registers which have two or more kinds patrol periodically, the bias of the cel output class by the perfect priority control is abolished, and band division is realized.

[0017] With the gestalt of this operation, the case where the number of quality classes is set to four from Class A to Class D is made into an example. The configuration of the port managed table 8 is shown in drawing 2.

[0018] The port managed table 8 memorizes 1 bit of each class at a time the information on a queue flag which shows whether there is any queue (waiting state) of the cel divided into four classes, or there is nothing for every output port, as shown in drawing 2. For this reason, the capacity of the whole table is equipped with the capacity of a 4 bit x n (number of ports) bit. When there is a cel held at the cel buffer 2, 1 is set (when it is with a queue), and when there is no cel held at the cel buffer 2, a queue flag is reset (when you have no queue), and shows 0.

[0019] The queue managed table 9 is equipped with the field for each class (Class A - Class D) for every port, as shown in drawing 11. Moreover, the write-in positional information of the cel of

the cel buffer 2 of each class for every port (write-in address), Read-out positional information (read-out address) and the queue value (the number of cels held at the cel buffer 2) which is a value which read from the write-in address value and subtracted the address value are stored. The capacity of the whole table is equipped with 4 (number of classes) bit xn (number of ports) bit x (number of bits of the number-of-bits + queue value of the number-of-bits + read-out address of the cel write-in address).

[0020] Moreover, for every output port, the field division of the cel buffer 2 is carried out at a part for a class, and it holds in the inputted order and takes the configuration of the FIFO buffer outputted at the order inputted more previously. It is managed in the cel write-in control circuit 5 and the cel reading control circuit 90, it is every output port and an address value is shown that it has a FIFO buffer for every class, and in the gestalt of this operation, the address of the cel buffer 2 shall be a sequential number, and shall hold the address in an order from the address 1.

[0021] The routing point / priority class discrimination decision circuit 4 analyzes the cel header information added to the cel, and identifies the class which shows the priority of the output port corresponding to the destination included in cel header information, and an output.

[0022] The cel write-in control circuit 5 directs the write-in address of the cel buffer 2 in the order inputted by referring to the queue managed table 9 about said inputted cel according to the output port and class of a cel which were identified in the routing point / priority class discrimination decision circuit 4, and makes the inputted cel concerned hold to the cel buffer 2. Moreover, by carrying out the write-in address of the queue managed table 9 of the applicable class of the output port of the cel which set and wrote in the queue flag of the port managed table 8 of the applicable class of the output port of the written-in cel +one (addition), the cel write-in control circuit 5 is directed so that the next write-in address may be shown.

Furthermore, the queue value of the queue managed table 9 of the applicable class of the output port of the written-in cel is carried out +one (addition).

[0023] The priority control register 92 holds the priority of each class. For example, as a class, when there are A, B, C, and D, it holds so that it may be referred to as A, B, C, and D from a high thing as priority. The priority control register 92 can be rewritten, can direct the priority of a class from the directions section 94, and can make priority hold to the priority control register 92.

[0024] The priority control register selection section 93 is the selection section which chooses any one of four priority control register (a) - (d). The round robin table 91 is the selection-signal generation section which generates the selection signal of which the priority control register selection section 93 chooses among priority control register (a) - (d). (a) - (d) of the round robin table 15 -- each priority control register (a) - (d) -- being shown -- (a) ->(b) ->(c) ->(d) ... ->(a) ->(b) -- a selection signal is outputted as periodically as .. The cel reading control circuit 90 has taken the configuration which reads a cel with reference to a priority control register according to the priority at the time of cel buffer read-out processing. Although only the cels of the high class of priority may be outputted for every read-out demand if the priority of a priority control register is being fixed to one certain pattern, the priority control register which the cel reading control circuit 90 searches can be made to patrol with the gestalt of the 1st operation. In this case, four either of priority control register (a) - (d) can be used by the selection signal (a), (b), (c) or, and (d).

[0025] For example, in a certain read-out timing, when the value of the round robin table 91 is "(a)", the priority control register which the cel reading control circuit 90 searches is a priority control register (a), and the priority of a read-out cel serves as sequence of Class A, Class B, Class C, and Class D. Moreover, at the time of another read-out timing, when the value of the round robin table 91 is "(C)", the priority control register which the cel reading control circuit 90 searches is a priority control register (C), and the priority of a read-out cel serves as sequence of Class C, Class D, Class A, and Class B. It can avoid being partially read to the cel of the high class of priority by this, the opportunity of an output can be given to each class, and a band part injury is attained. A round robin table can be changed for every 1 cel output for example, in all ports.

[0026] The cel reading control circuit 90 is chosen by the priority control register selection section 93 for every output port. In an order from the high class of the priority which the priority control register 92 holds The read-out address is directed and the cel inputted ahead of that of the class corresponding to the queue flag shown that there is a cel held at the cel buffer 2 with reference to the queue flag of the port managed table 8 is made to output from the output port concerned with reference to the queue managed table 9. Moreover, the read-out address is carried out +one (addition) so that the read-out address of the cel into which the read-out address which the queue managed table 9 holds was inputted by the next of the cel concerned made to output may be shown. Furthermore, the queue value of the queue managed table 9 of the class of the output port concerned made to output is carried out -one (subtraction), and when there is no cel held at the cel buffer 2 when a queue value is 0 namely, the queue flag of the port managed table 8 of the class of the output port concerned made to output is reset.

[0027] Below, with reference to drawing 11 , actuation with the writing to the cel buffer 2 and read-out is explained.

[0028] In drawing 11 , after multiplex [of the cel inputted from each input port] is carried out per cel in the cel multiplex section 1, the cel header information added to the cel in the routing point / priority class discrimination decision circuit 4 is analyzed. The identification information of an output destination change port and the identification information of the class of a cel are contained in cel header information. The routing point / priority class discrimination decision circuit 4 identifies the class which shows the priority of the output of the inputted cel, and outputs a discernment result to the cel write-in control circuit 5 while it recognizes the output port of the cel contained in cel header information.

[0029] After an output port and a priority class are identified in the routing point / priority class discrimination decision circuit 4, the cel write-in control circuit 5 A queue flag is set to the applicable port of a port managed table, and an applicable class field (making it a logical value "1"). With reference to the applicable class field of the applicable port of the queue managed table 9, the write-in address to the cel buffer 2 is obtained, and the information on a cel is written in the cel buffer 2 by directing this write-in address. Moreover, by carrying out the write-in address of the queue managed table 9 of the applicable class of the output port of the written-in cel +one (addition), the cel write-in control circuit 5 is directed so that the next write-in address may be shown. Furthermore, the queue value of the queue managed table 9 of the applicable class of the output port of the written-in cel is carried out +one (addition).

[0030] Write-in actuation to the cel buffer 2 is performed by repeating the above actuation for every cel write-in timing.

[0031] In reading a cel, the timing which reads a cel from the cel buffer 2 comes periodically from a port 1 to Port N, respectively. First, the cel reading control circuit 90 searches the port managed table 8, and recognizes each queue flag to predetermined Class A - predetermined Class D of a port. Next, the priority control register 92 which has set up beforehand the priority to Class A - Class D is searched, and the read-out priority of a cel is recognized. Next, according to priority, about the class of logic "1", the queue of the applicable class of the applicable output port of a port managed table reads from the queue managed table 9, obtains the address, and the cel reading control circuit 90 reads the information on a cel from the cel buffer 2 by directing this read-out address. Moreover, the read-out address is carried out +one (addition) so that the read-out address of the cel into which the read-out address which the queue managed table 9 holds was inputted by the next of the cel concerned made to output may be shown. Furthermore, the queue value of the queue managed table 9 of the class of the output port concerned made to output is carried out -one (subtraction), and when the queue value after subtraction is 0, the queue flag of the port managed table 8 of the class of the output port concerned made to output is reset.

[0032] Thus, about the class whose queue flag is "1", in order of [table / 9 / queue managed] a priority class, the cel reading control circuit 90 obtains the cel read-out address, carries out the sequential directions of the read-out address in the cel buffer 2 with which this cel is stored, and reads a cel from the cel buffer 2. In the cel separation section 3, the cel read from cel buffer memory is separated for every output port.

[0033] If read-out actuation outputs one cel of a certain class in a certain port, the same processing as a change will be performed to processing of the next port, and processing from a port 1 to Port N is performed repeatedly.

[0034] Below, the detailed actuation in the cel reading control circuit 90 is explained with reference to drawing 12 – drawing 15. The cel buffer read-out flow in the cel reading control circuit 90 is shown in drawing 13. Moreover, the example of the queue flag of a port managed table is shown in drawing 12. As shown in drawing 12 (a), the queue flag of each class of an output port 1 In "1" and Class B, "0" and Class C set [Class A] "0" and Class D to "1." Moreover, the priority control register which "(a)"93, i.e., the priority control register selection section, chooses [the value of the round robin table 91] is (a). The priority information set as the priority control register (a) is explained using drawing 13 about the case where it considers as the sequence (Class A of priority is the highest and Class D of priority is the lowest) of Classes A, B, C, and D.

[0035] In drawing 13, first, a cel reading control circuit searches the field of the port 1 of the port managed table 8 (step 40), and recognizes the information on A= 1, B= 0, C= 0, and D= 1 (step 41). Next, a cel reading control circuit searches the priority control register 92 (a), and recognizes that the priority of each class is the sequence of Classes A, B, C, and D (step 42). As the sequence of processing of subsequent class units is decided by steps 41 and 42 and it is shown in drawing 13 by them, read-out actuation from [from Class A] the actual cel buffer 2 is performed in this case (step 45). In this example, since Class A is "1", a queue flag already In a queue flag condition judging (step 95), it moves to the branching 47 after a judgment. The read-out address of the cel buffer 2 is obtained, and the information on a cel is made to output from the cel buffer 2 by directing the read-out address to the read-out timing of the cel buffer 2 by referring to the field of the class A of the port 1 of the queue managed table 9. Next, let the cel reading control circuit 90 be the next read-out address by adding the read-out address of the cel buffer 2 of Class A one time (step 48). Moreover, since it is the queue value which read the queue value in a port managed table from the write-in address, and subtracted the address, the cel reading control circuit 90 carries out the queue value of the class A of a port 1 –one (subtraction) (step 49). Next, the cel reading control circuit 90 judges whether a queue value is 0 or it is except it (step 50), judges that there is no cel which should be outputted if it is "0", and sets the queue flag of the class area A of the port 1 of the port managed table 8 to "0" (step 51). Since a queue flag is already "1" when it is except "0", it moves to the next processing as it is (branching 52).

[0036] The cel of the class A read from the cel buffer 2 is outputted to an output port 1 through the cel separation section 3. If the cel of Class A is outputted to a port 1, next, it will move to cel read-out processing of a port 2 (branching 53), and read-out processing of a port 2 to the port n will be performed similarly henceforth. Processing from return and a port 1 to Port n is repeatedly performed in a port 1 after read-out processing of Port n.

[0037] Next, when it returns to read-out processing of a port 1 again, as the queue flag of a port managed table is shown in drawing 12 (b) In Class A, "0" and Class B the queue flag of each class of an output port 1 "0", Class C sets "0" and Class D to "1". The value of the round robin table 91 (b), That is, the priority control register which the priority control register selection section 93 chooses changes to (b). The example in the case of reading the cel of Class D is explained using drawing 14 about the case where priority information set as the priority control register is made into the sequence (Class B of priority is the highest and Class A of priority is the lowest) of Classes B, C, D, and A.

[0038] Like the above-mentioned, the cel reading control circuit 90 searches the field of the port 1 of the port managed table 8 (step 40), and recognizes the information on A= 0, B= 0, C= 0, and D= 1 (step 41). Next, the cel reading control circuit 90 searches the priority control register 92 (b), and recognizes that the priority of each class is the sequence of Classes B, C, D, and A (step 42). Next, it shifts to the cel read-out processing 55 of Class B from the sequence of priority, and since the queue flag of the cel of Class B is "0", in a queue flag condition judging (step 95), read-out actuation of Class B is not performed by going via branching 54. That is, when there is no cel which should be read, the queue managed table 9 is not accessed but it

moves to processing of the cel (class C) of the class of the following priority.

[0039] Next, priority moves to processing (step 57) of the cel (class D) of the class of the following priority after the judgment in a queue flag condition judging like [the queue flag of the cel of Class C] Class B in the read-out actuation step 56 about the cel of the 2nd class C for "0" similarly. Since the queue flag condition of the cel of Class D is "1", it sets to a queue flag condition judging (step 95). It moves to read-out processing of the cel buffer 2, and the read-out address of the cel buffer of the class D of the cel buffer 2 is obtained by referring to the field of the class D of the port 1 of the queue managed table 9. To the read-out timing of a cel buffer The information on a cel is made to output from the cel buffer 2 by directing the read-out address. Next, let the cel reading control circuit 90 be the next read-out address by adding the read-out address of the cel buffer 2 of Class D one time. (Step 48) . Moreover, since it is the queue value which read the queue value of the port managed table 9 from the write-in address, and subtracted the address, the cel reading control circuit 90 carries out the queue value of the class D of a port 1 -one (subtraction) (step 49). Next, the cel reading control circuit 90 judges whether the value of a queue is 0, or it is except it (step 50), judges that there is no cel which should be outputted if it is "0", and sets the queue flag of the class D region of the port 1 of the port managed table 8 to "0" (step 51). Since a queue flag is already "1" when it is except "0", it moves to the next processing as it is (branching 52).

[0040] The cel of the class D read from the cel buffer is outputted to an output port 1 through the cel separation section 3. It moves to read-out processing of the next port 2 through branching 53 after that.

[0041] Next, when it returns to read-out processing of a port 1 again, as the queue flag of a port managed table is shown in drawing 12 (c) In Class A, "0" and Class B the queue flag of each class of an output port 1 "1", Class C sets "0" and Class D to "0". The value of the round robin table 91 (c), That is, the priority control register which the priority control register selection section 93 chooses changes to (c). The example in the case of reading the cel of Class B is explained using drawing 15 about the case where priority information set as the priority control register is made into the sequence (Class C of priority is the highest and Class B of priority is the lowest) of Classes C, D, A, and B.

[0042] Like the above-mentioned, the cel reading control circuit 90 searches the field of the port 1 of the port managed table 8 (step 40), and recognizes the information on A= 0, B= 1, C= 0, and D= 0 (step 41). Next, the cel reading control circuit 90 searches the priority control register 92 (c), and recognizes that the priority of each class is the sequence of Classes C, D, A, and B (step 42). Next, it shifts to the cel read-out processing 56 of Class C from the sequence of priority, and since the queue flag of the cel of Class C is "0", in a queue flag condition judging (step 95), read-out actuation is not performed by going via branching 54. Like [cel / of Classes D and A] the cel of Class C, since a queue flag is "0", the output of a cel is not performed, but it shifts to cel read-out processing of the following class B.

[0043] Since the queue flag condition of the cel of Class B is "1", it sets to a queue flag condition judging (step 95). It moves to read-out processing of a cel buffer, and the read-out address of the cel buffer of the class B of the cel buffer 2 is obtained by referring to the field of the class B of the port 1 of the queue managed table 9. To the read-out timing of a cel buffer The information on a cel is made to output from the cel buffer 2 by directing the read-out address. Next, let the cel reading control circuit 90 be the next read-out address by adding the read-out address of the cel buffer 2 of Class B one time (step 48). Moreover, since it is the queue value which read the queue value of the port managed table 9 from the write-in address, and subtracted the address, the cel reading control circuit 90 carries out the queue value of the class B of a port 1 -one (subtraction) (step 49). Next, the cel reading control circuit 90 judges whether the value of a queue is 0, or it is except it (step 50), judges that there is no cel which should be outputted if it is "0", and sets the queue flag of the class area B of the port 1 of the port managed table 8 to "0" (step 51). Since a queue flag is already "1" when it is except "0", it moves to the next processing as it is (branching 52).

[0044] The cel of the class B read from the cel buffer is outputted to an output port 1 through the cel separation section 3.

[0045] As mentioned above, the cel of the higher class of priority can be outputted for every port by processing, as explained. According to the gestalt of the gestalt of the 1st operation, a class with the cel which should be outputted can be recognized by judging the condition of a queue flag. Although it had to judge whether there is any queue conventionally with reference to all the classes holding the address (several bits information) of a queue managed table at the time of decision of the class which should be outputted, or there would be nothing and the class which should be outputted had to be judged, according to the gestalt of this operation, the cel of the higher class of priority can be outputted by referring to the queue flag (1-bit information) of each class. Moreover, since it requires only the field corresponding to the class to output, even if the number of access to the queue managed table which stored the read-out location address of a cel of class divisions increases, it does not affect the processing time. That is, the number of class divisions can be easily increased by the count of access and its processing time to a queue managed table being mitigable. For this reason, the number of class divisions can expect about ten times over the past.

[0046] Moreover, according to the gestalt of the gestalt of the 1st operation, by making the priority control register used among the priority-control registers which have two or more kinds patrol periodically, the bias of the cel output class by the perfect priority control can be abolished, and band division can be realized.

[0047] Moreover, modification of the arbitration of priority is attained by becoming rewritable structure and directing priority from the directions section 94 by using the priority control register 92 as a microcomputer interface.

[0048] Moreover, the time amount which has chosen the priority control register by the output of the selection signal of a round robin table is good as for same time amount, and you may make it change it for every priority control register with all priority control registers. For example, it can be made to differ [control register / priority / (a) / c / a part for number of cel outputs 20 cel, a priority control register (b), and / (c)] like a part for number of cel outputs 5 cel about a part for number of cel outputs 10 cel, and a priority control register (d).

[0049] Next, the gestalt of the 2nd operation is explained.

[0050] By the band division approach of the gestalt the 1st operation, although the guarantee of the minimum sending-out band is possible, the output band for every class is not taken into consideration at all about considering as immobilization. When the buffer of the class of a more than [either / even] becomes empty temporarily, band division stops for example, being immobilization, although the band of an output port can be correctly divided when the cel is always accumulated in the buffer of four quality classes. Moreover, since it opts for band division at a rate of the priority control register set up on a round robin table, when it is going to set up the output band of each class finely, a round robin table becomes large and the memory for information storing is needed in large quantities. Furthermore, in order to carry out band division at a different rate for every output port, a round robin table is needed and only the number of output ports needs to increase the amount of memory. Moreover, the first of the priority of all priority control registers will be made into Class A and other classes cannot guarantee even the minimum sending-out band in this case to carry out output processing of one class A, for example, the class, by top priority.

[0051] It aims at correcting the above-mentioned trouble with the gestalt of the 2nd operation. The gestalt of the 2nd operation is explained with reference to drawing 1.

[0052] The cel multiplex section 1 to which an ATM switch carries out multiplex [of the cel] in drawing 1, The cel buffer 2 holding a cel, and the cel separation section 3 which separates a cel for every output port, The routing point / priority class discrimination decision circuit 4 which identifies the routing point and the priority class of a cel, The cel write-in control circuit 5 which controls the writing to the cel buffer 2, Priority modification / cel reading control circuit 6 which controls read-out from the cel buffer 2, 32 of priority control register 13 (1) - (32) holding the priority of an output Round robin table 15 (a) 15 of - (o), and which priority control register is used in 32 priority control registers and the priority control register selection section 14 to choose, Which round robin table is used in 15 round robin tables, and the round robin table selection section 16 to choose, The output queue counter / round robin table control section 12

which creates the signal which chooses a round robin table so that the output band where counting of the number of output cels was carried out, and each class was set up may not be exceeded, The port managed table 8 in which being every output port and showing whether there is any cel held for every class at the cel buffer 2, or there is nothing with a queue flag, The queue managed table 9 which reads with the write-in address of the cel buffer 2, is every output port and holds the address for every class, It has the full priority directions register 10 holding full priority directions information, and the cel insertion directions register 11 to the empty slot holding the cel insertion directions information on an empty slot. The ATM switch in the gestalt of operation of the 2nd of this invention is the switching system of the output-buffer mold which outputs the cel inputted from the input port of N book to the output port of N book. Priority is defined with a priority control register, and each class is controlling by the perfect priority-control method to which the cel of the class is made to output, when making it output preferentially and making the cel of a low-ranking class output about the cel of a class with higher priority, and the cel of the class of a high order is not held from the class. Furthermore, it is controllable by making the priority control register used on a round robin table among the priority control registers which have two or more kinds patrol periodically not to exceed each port and the output band set as each class by changing the round robin table which abolishes the bias of the cel output class by the perfect priority control, and realizes band division, and has more than one. Moreover, when the full priority directions which direct the ranking used by giving priority over the priority which the priority control register 13 of each class shows for every port, and the output band of a certain class exceed, there is no queue of other classes and an empty cel is inserted, it is possible to perform the empty cel insertion directions it is directed that permit the output of the cel of the class which the output band exceeded. With the gestalt of this operation, the case where the number of quality classes is set to four from Class A to Class D is made into an example.

[0053] About the port managed table 8, the queue managed table 9, the cel buffer 2, the routing point / priority class discrimination decision circuit 4, and the cel write-in control circuit 5, it is the same configuration as what was explained with the gestalt of the 1st operation, and the same actuation is performed.

[0054] The priority control register 13 holds the priority of each class. For example, as a class, there are A, B, C, and D, and when priority considers as A→B→C→D from a high thing, to the register, it holds so that it may be referred to as A, B, C, and D from a high thing. Moreover, among four classes, the output band of Class D is beyond the set point, when not outputting Class D, it holds so that it may be referred to as A, B, and C from a thing high as priority, and the 4th is emptied. He manages the output band of each class and is trying to change priority for every output band of each class with the gestalt of the 2nd operation. In the gestalt of the 2nd operation, as shown in drawing 3, 32 priority control registers are prepared, 32 kinds of priority is held, and band division is enabled in the remaining class except the class in which the number of output cels exceeded the setting band. For example, when the number of output cels of Class A exceeds a setting band, band division can be carried out between Classes B and C and D by choosing the priority control register of (5), (6), and (7) at arbitration. Moreover, the priority control register 13 can be rewritten, can direct the priority of a class from the directions section 18, and can make priority hold to the priority control register 13.

[0055] The priority control register selection section 14 is the selection section which chooses any one of 32 priority control register (1) – (32). The round robin table 15 is the selection-signal generation section which generates the selection signal of which the priority control register selection section 14 chooses among priority control register (1) – (32). The contents of the round robin table are shown in Table 1.

[0056]

[Table 1]

表1

ラウンドロビンテーブル

| | |
|---------------------|--------------------------|
| (a) (1) (2) (3) (4) | 全クラスの出カセル数が設定帯域以下 |
| (b) (5) (6) (7) | クラス A の出カセル数が設定帯域を超過 |
| (c) (8) (9) (10) | クラス B の出カセル数が設定帯域を超過 |
| (d) (11) (12) (13) | クラス C の出カセル数が設定帯域を超過 |
| (e) (14) (15) (16) | クラス D の出カセル数が設定帯域を超過 |
| (f) (17) (18) | クラス A,B の出カセル数が設定帯域を超過 |
| (g) (19) (20) | クラス A,C の出カセル数が設定帯域を超過 |
| (h) (21) (22) | クラス A,D の出カセル数が設定帯域を超過 |
| (i) (23) (24) | クラス B,C の出カセル数が設定帯域を超過 |
| (j) (25) (26) | クラス B,D の出カセル数が設定帯域を超過 |
| (k) (27) (28) | クラス C,D の出カセル数が設定帯域を超過 |
| (l) (29) | クラス A,B,C の出カセル数が設定帯域を超過 |
| (m) (30) | クラス A,B,D の出カセル数が設定帯域を超過 |
| (n) (31) | クラス A,C,D の出カセル数が設定帯域を超過 |
| (o) (32) | クラス B,C,D の出カセル数が設定帯域を超過 |

[0057] drawing 3 and Table 1 -- setting -- the case of the round robin table 15 (a) -- (1) - (4) - each priority control register (1) - (4) -- being shown -- (1) ->(2) ->(3) -> (4) ... ->(1) -> (2) - a selection signal is outputted as periodically as .. the gestalt of this operation -- if it is -- all ports -- every 1 cel output -- round robin table 15 (a) - (o) -- selection of all priority control registers is changed. Moreover, the round robin table selection section 16 is the selection section which chooses any one of 15 round robin tables (a) - (o). Priority modification / cel reading control circuit 6 at the time of cel buffer read-out processing Although only the cels of the high class of priority may be outputted for every read-out demand if the configuration which reads a cel is taken with reference to the priority control register 13 according to the priority and the priority of a priority control register is being fixed to one certain pattern On the other hand, the priority control register which priority modification / cel reading control circuit 6 searches can be made to patrol on the round robin table 15 with the gestalt of the 2nd operation. When the round robin table selection section 16 chooses the round robin table 15 (a), four either of priority control register (1) - (4) can be used by the selection signal (1), (2), (3) or, and (4).

[0058] For example, in a certain read-out timing, when the value of the round robin table 15 (a) is "(1)" The priority control register which priority modification / cel reading control circuit 6 searches is a priority control register (1). The priority of a read-out cel serves as sequence of Class A, Class B, Class C, and Class D. Moreover, at the time of another read-out timing, when the value of the round robin table 15 (a) is "(3)" The priority control register which priority modification / cel reading control circuit 6 searches is a priority control register (3), and the priority of a read-out cel serves as sequence of Class C, Class D, Class A, and Class B. It can avoid being partially read to the cel of the high class of priority by this, the opportunity of an output can be given to each class, and a band part injury is attained.

[0059] An output queue counter / round robin table control section 12 carries out counting of the number of output cels for every class of each port, and creates the signal which chooses round robin table 15 (a) - (o) according to the number of output cels. The configuration of an output queue counter / round robin table control section 12 is shown in drawing 4 . Hereafter, with reference to drawing 4, actuation of an output queue counter / round robin table control

section 12 is explained.

[0060] In drawing 4 an output queue counter / round robin table control section 12 Whether it is over the band setting register 20 holding the band of each class for every port, the number counter 23 of output cels which carries out counting of the number of output cels, and the set-up band by the band excess distinction circuit 21 and the directions section 400 to distinguish the priority-control period register 401 holding the directed priority-control period, and the period counter 402 which counts the clock signal of a cel — and The value of the priority-control period and period counter 402 which are held to the priority-control period register 401 is compared, and when in agreement, it has the comparator 403 which outputs a reset signal to the number counter of output cels. Here, a priority-control period is a period which resets the number counter of output cels, and is a monitor period at the time of sending out a cel according to priority. For example, if a priority-control period is made into 12 cel time amount, they are 12 cels (an empty cel is also included). The number counter of output cels of each class is reset for every output. This priority-control period becomes possible [setting up the output band of each class more finely as they are for example, 120 cels and long time amount], but on the other hand the cel of a specific class may be continuously outputted within a priority-control period depending on the cel are recording situation to the cel buffer of each class. A priority-control period is directed by the user from the directions section 400.

[0061] The band setting register 20 holds the data in which the output band of each class in each port is shown. It is the number of cels made possible [an output] for the actually held information within a priority-control period, for example, the output bands of a port are 100 Mbit/s, and when making all of the output band of four classes of Classes A, B, C, and D into 25 Mbit/s, 12 cel time amount, then the set point to the register of each class serve as 12 cel $\times 25M / M = 1003$ cel in a priority-control period. Moreover, the output band of each class can be set as the band setting register 20 by directing an output band from the directions section 22.

[0062] The number counter 23 of output cels is a counter which carries out counting of the number of output cels of each port for every class. From priority modification / cel reading control circuit 6, the output port of a cel and the information on a class to output are acquired, it is every output port and the number of output cels is counted for every class. A port is chosen by the PORT selection signal 1 which shows the port number of the outputted cel which is directed from priority modification / cel reading control circuit 6 at the time of a cel output, and the number counter 23 of output cels is directed from priority modification / cel reading control circuit 6, receives the enable signal corresponding to the class outputted at the time of a cel output, and counts up about the class corresponding to an enable signal. Counted value is reset for every priority-control period by the reset signal outputted from a comparator 403. A comparator 403 compares the value of the period counter 402 which counts the clock signal of a cel, and the priority-control period held to the priority-control period register 401, and when in agreement, it outputs a reset signal to the number counter of output cels.

[0063] At the time of a cel output, priority modification / cel reading control circuit 6 enables the signal line corresponding to the outputted class, and negates the other signal line.

[0064] The band excess distinction circuit 21 is the cel read-out timing (directions timing of the PORT selection signal 2) of each port, it compares the set point of the band setting register 20 with the counted value of the number counter 23 of output cels for every class, and it creates a round robin table selection signal so that the round robin table which does not contain the class in which counted value is over the set point may be chosen. The PORT selection signal 2 is a signal which delayed the PORT selection signal 1, and shows the port number of the outputted cel. For example, since the round robin table (b) which does not contain Class A is chosen and a round robin table (b) makes a priority control register (5), (6), and (7) patrol if it explains using drawing 3 when Class A reaches the set point, the cel of Class A is not read. When a round robin table selection signal is shown by 4 bits in the gestalt of this operation when the number of round robin tables is 15, and it has a signal line corresponding to each class and an output band reaches the set point, it enables the signal line corresponding to the class. Thus, the band excess distinction circuit 21 supervises the output band of each port and each class, and since it chooses a round robin table so that an output band may be settled within the set point, it can

perform band control.

[0065] In drawing 1, the full priority directions register 10 considers priority of the class directed in a port as immobilization, and without using the round robin table 15, when carrying out a perfect priority processing, it is used for it. When it is not based on the priority information which the priority control register 13 shows, but there is a queue in a port and there is a class outputted preferentially, the priority information in the port of the class is set up. With the gestalt of the 2nd operation, as shown in drawing 5, priority information is set up for every output port and output class. It can be set as arbitration, for example, the number of classes which directs full priority sets priority "1" as the field of the port 1 class A of the full priority directions register 10 and presupposes un-registering it except it to carry out the perfect priority processing of the class A in a port 1. Moreover, when the perfect priority processing of the 2 of Classes A and B classes is carried out and it gives priority to Class A over B, priority "1" is set as the field of the class A of the port 1 of the full priority directions register 10, it sets priority "2" as the field of Class B, and the other class presupposes un-registering. A priority information setup to the full priority directions register 10 is performed from the directions section 34.

[0066] In the cel insertion directions register 11 to an empty slot [when there is no cel which all the queues of the class which permits the output are "0", and is outputted (when there is no cel which should be outputted) and an empty slot arises] If the class in which the output band is already over the set point also has a queue, when permitting outputting a cel to an empty slot, it sets the empty slot insertion priority information on the class of the port as the applicable area of the cel insertion directions register 11 to an empty slot. With the gestalt of the 2nd operation, as shown in drawing 5, priority information is set up for every output port and output class. The number of classes which carries out insertion directions can be set as arbitration like [this register] the above-mentioned full priority directions register. For example, when you carry out empty slot insertion processing of the class D in a port 1, "1" is set as the field of the class D of the port 1 of the cel insertion directions register 11 to an empty slot as priority information, and suppose un-registering except it. Moreover, when empty slot insertion processing of the 2 of Classes C and D classes is carried out and it gives priority to Class C over D, "1" is set as priority information, "2" is set as the field of the class C of the port 1 of the cel insertion directions register 11 to an empty slot as priority information to the field of Class D, and the other class presupposes un-registering. A priority information setup to the cel insertion directions register 11 to an empty slot is performed from the directions section 35.

[0067] Priority modification / cel reading control circuit 6 is equipped with the output queue decision circuit 30, the cel reading control circuit 33, and the output queue flag 32 as shown in drawing 5.

[0068] For every output port, with reference to the priority which the priority control register 13 chosen by the priority control register selection section 14 holds, the priority which the full priority directions register 10 holds, and the priority which the cel insertion directions register 11 to an empty slot holds, the output queue decision circuit 30 edits priority, and determines an output queue from the priority after edit, and the queue flag of the port managed table 8.

[0069] Specifically the ranking information on the priority control register 13 is first written in the priority edit register 31, priority is given to the ranking of the full priority directions register 10 with reference to the ranking information on the register, and the ranking information on the full priority directions register 10, and the ranking of the priority edit register 31 is rearranged. However, the class (class which the output band has become beyond the set point) which is not contained in the priority control register 13 is disregarded even if the full priority directions register 10 has directions, in order to guarantee the assigned band.

[0070] Next, about the class which is not contained in the ranking of the priority edit register 31 with reference to the ranking information on the rearranged priority edit register 31, and the ranking information on the cel insertion directions register 11 to an empty slot, if there are empty slot insertion directions, according to the ranking of the cel insertion directions register 11 to an empty slot, a class will be added to the ranking of the priority edit register 31.

[0071] Furthermore, the class corresponding to the queue flag shown that there is a cel held

with reference to the queue flag of the port managed table 8 at the cel buffer 2 about the higher class of the priority which the priority edit register 31 holds is determined as an output queue, and the applicable class of the output queue flag 32 is set to "1."

[0072] With reference to drawing 17, actuation of an output queue decision circuit is explained more concretely. The priority information chosen in the priority control register selection section 14 in drawing 17 (1) (It is only hereafter called the priority information on a priority control register) Class C It considers as the sequence (the priority of Class C is the highest and the priority of Class A is the lowest) of D and A. The case where made directions information on a full priority directions register into the sequence (the priority of Class B is high) of Classes B and A, and directions information on the cel insertion directions register to an empty slot is made into the sequence (the priority of Class C is high) of Classes C and B is explained to an example. In order to make it intelligible, format conversion of the information on the full priority directions register 10 and the cel insertion directions register 11 to an empty slot is carried out so that a class name may be put in order according to priority.

[0073] Hereafter, the edit approach of priority is explained. ** Write the priority information on a priority control register in the priority edit register 31. Next, with a full priority directions register, since the highest class B of priority is not contained in the priority of the priority edit register 31, it is disregarded, then, it considers the high class A of ranking as top priority, shifts the ranking of classes other than the class A of the priority edit register 31, and makes priority Classes A, C, and D. ** Since Class C is first registered into the 2nd priority of the priority edit register 31 from the high class of the priority of the priority edit register 31 about the high class C of priority with the cel insertion directions register to an empty slot as compared with order with reference to the priority of the rearranged priority edit register 31, and the cel insertion directions register to an empty slot, move to processing of the class B which is the following ranking. Since Class B is not registered into the priority edit register 31, it is added to the next ranking of Classes A, C, and D, and the priority of the priority edit register 31 becomes the order of Classes A, C, D, and B. ** Since the queue flag of a port managed table is referred to by the priority of the priority edit register 31 and a queue is in Class A, a class is set to A by the output queue. The class A of the output queue flag 32 is set to "1", and processing of an output queue decision circuit is completed.

[0074] In addition, if nothing is registered into the full priority directions register 10 and the cel insertion directions register 11 to an empty slot, an output queue is determined according to the priority of the priority control register 13 chosen by the priority control register selection section 14.

[0075] The cel reading control circuit 33 directs the read-out address, and makes the cel inputted ahead of that of a class with output directions output from the output port concerned with reference to the queue managed table 9 with reference to the output queue flag 32 for every processing of a port. Moreover, the read-out address is carried out +one (addition) so that the read-out address of the cel into which the read-out address which the queue managed table 9 holds was inputted by the degree of the cel concerned made to output may be shown. Furthermore, the queue value of the queue managed table 9 of the class of the output port concerned made to output is carried out -one (subtraction), and when there is no cel held at the cel buffer 2 when a queue value is 0 namely, the queue flag of the port managed table 8 of the class of the output port concerned made to output is reset. Moreover, the output queue flag 32 is reset after a cel output.

[0076] Next, with reference to drawing 1, the read-out actuation from the cel buffer 2 is explained. About write-in actuation, it operates identically to what was explained in the gestalt of the 1st operation.

[0077] In drawing 1, when reading a cel, the timing which reads a cel from the cel buffer 2 comes periodically from a port 1 to Port N, respectively. First, priority modification / cel reading control circuit 6 determines that the output queue searched and mentioned above the priority control register 13 chosen by the priority control register selection section 14, the full priority directions register 10, the cel insertion directions register 11 to an empty slot, and the port managed table 8, and sets the applicable class of the internal output queue flag 32 to "1." Next, about the class

of "1", the output queue flag 32 obtains the read-out address of the queue managed table 9, and reads the information on a cel from the cel buffer 2 by directing this read-out address.

Moreover, the read-out address is carried out +one (addition) so that the read-out address of the cel into which the read-out address which the queue managed table 9 holds was inputted by the next of the cel concerned made to output may be shown. Furthermore, the queue value of the queue managed table 9 of the class of the output port concerned made to output is carried out -one (subtraction), and when the queue value after subtraction is 0, the queue flag of the port managed table 8 of the class of the output port concerned made to output is reset.

Moreover, the output queue flag 32 is reset after a cel output.

[0078] Thus, about the class whose output queue flag is "1", from the queue managed table 9, priority modification / cel reading control circuit 6 obtains the cel read-out address, carries out the sequential directions of the read-out address in the cel buffer 2 with which this cel is stored, and reads a cel from the cel buffer 2. In the cel separation section 3, the cel read from cel buffer memory is separated for every output port.

[0079] If read-out actuation outputs one cel of a certain class in a certain port, the same processing as a change will be performed to processing of the next port, and processing from a port 1 to Port N is performed repeatedly. All round robin tables (a) One cel of selection signals of the priority control register which - (o) outputs is changed at a time after an output from a port 1 to Port N.

[0080] Next, the detailed actuation in priority modification / cel reading control circuit 6 is explained with reference to drawing 6 and drawing 17. The cel buffer read-out flow in priority modification / cel reading control circuit 6 is shown in drawing 6. In order to explain concretely, a case as the set point of each register is shown below is made into an example. As shown in drawing 12 (a), in "0" and Class C, "0" and Class D set [Class A / "1" and Class B] the queue flag of each class of an output port 1 to "1" for the queue flag of a port managed table. Moreover, as shown in drawing 17 (1), let priority set as the full priority directions register 10 be the sequence (for the priority of B to be high) of Classes B and A. Moreover, as shown in drawing 17 (1), let priority set as the cel insertion directions register 11 to an empty slot be the sequence (for the priority of C to be high) of Classes C and B. As shown in drawing 17 (1), moreover, the round robin table 15 chosen by the round robin table selection section 16 It is (c) and (referring to drawing 3). The value of the round robin table 15 "(9)", That is, the priority control register which the priority control register selection section 14 chooses is (9), and let priority information set as the priority control register (9) be the sequence (for Class C of priority to be the highest and for Class A of priority to be the lowest) of Classes C, D, and A.

[0081] In drawing 6, first, priority modification / cel reading control circuit 6 searches the field of the port 1 of the port managed table 8 (step 40), and recognizes the information on A= 1, B= 0, C= 0, and D= 1 (step 41). Next, priority modification / cel reading control circuit 6 searches the priority control register 13 (9), and recognizes that the priority of each class is the sequence of Classes C, D, and A (step 42). Next, the full priority directions register 10 and the cel insertion directions register 11 to an empty slot are searched, and the contents of directions are recognized respectively (step 43). At steps 41, 42, and 43, as shown in drawing 17 (1), it is decided that output class will be A, and a flag is set to the class A of the output queue flag 32. As shown in drawing 6, read-out actuation from the actual cel buffer 2 is performed about the cel corresponding to Class A (step 45). In this example, since Class A is "1", an output queue flag already In an output queue flag condition judging (step 46), it moves to the branching 47 after a judgment. The read-out address of the cel buffer 2 is obtained, and the information on a cel is made to output from the cel buffer 2 by directing the read-out address to the read-out timing of the cel buffer 2 by referring to the field of the class A of the port 1 of the queue managed table 9. Next, let priority modification / cel reading control circuit 6 be the next read-out addresses by adding the read-out address of the cel buffer 2 of Class A one time (step 48). Moreover, since it is the queue value which read the queue value in a port managed table from the write-in address, and subtracted the address, priority modification / cel reading control circuit 6 carries out the queue value of the class A of a port 1 -one (subtraction) (step 49). Next, priority modification / cel reading control circuit 6 judges whether a queue value is 0 or it

is except it (step 50), judges that there is no cel which should be outputted if it is "0", and sets the queue flag of the class area A of the port 1 of the port managed table 8 to "0" (step 51). Since a queue flag is already "1" when it is except "0", it moves to the next processing as it is (branching 52). Moreover, the output queue flag 32 is reset.

[0082] The cel of the class A read from the cel buffer 2 is outputted to an output port 1 through the cel separation section 3. If the cel of Class A is outputted to a port 1, next, it will move to cel read-out processing of a port 2 (branching 53), and read-out processing of a port 2 to the port n will be performed similarly henceforth. After read-out processing of Port n, the value of (step 63) and the round robin table 15 (c) changes to (10), and changes a priority control register to (10). Then, processing from return and a port 1 to Port n is repeatedly performed in a port 1.

[0083] Next, when it returns to read-out processing of a port 1 again, the case where the set point of each register shows below is made into an example. As shown in drawing 12 (b), in "0" and Class C, "0" and Class D set [Class A / "0" and Class B] the queue flag of each class of an output port 1 to "1" for the queue flag of a port managed table. Moreover, as the output band of Class A reaches the set point and it is shown in drawing 17 (2) The round robin table 15 chosen by the round robin table selection section 16 is changed into (f). And the priority control register which (17), i.e., the priority control register selection section, chooses [the value of a round robin table (f)] is (17). [14] Let priority information set as the priority control register be the sequence (for that [priority's] of Class C to be high) of Classes C and D.

[0084] In drawing 6, like the above-mentioned, priority modification / cel reading control circuit 6 searches the field of the port 1 of the port managed table 8 (step 40), and recognizes the information on A= 0, B= 0, C= 0, and D= 1 (step 41). Next, priority modification / cel reading control circuit 6 searches the priority control register 13 (17), and recognizes that the priority of each class is the sequence of Classes C and D (step 42). Next, the full priority directions register 10 and the cel insertion directions register 11 to an empty slot are searched, and the contents of directions are recognized (step 43). At steps 41, 42, and 43, as shown in drawing 17 (2), it is decided that output class will be D, and an output queue flag is set. Next, it shifts to the cel read-out processing 45 of Class A, and since the output queue flag of Class A is "0", in an output queue flag condition judging (step 46), read-out actuation of Class A is not performed by going via branching 54. That is, when there is no cel which should be read, the queue managed table 9 is not accessed but it moves to processing of the following class (class B).

[0085] Next, in the read-out actuation steps 55 and 56, the output queue flag of Classes B and C moves to processing (step 57) of the following class (class D) after the judgment in an output queue flag condition judging like Class A about Classes B and C for "0" similarly. Since the output queue flag condition of the cel of Class D is "1", it sets to an output queue flag condition judging (step 46). It moves to read-out processing of the cel buffer 2, and the read-out address of the cel buffer of the class D of the cel buffer 2 is obtained by referring to the field of the class D of the port 1 of the queue managed table 9. To the read-out timing of a cel buffer The information on a cel is made to output from the cel buffer 2 by directing the read-out address. Next, let priority modification / cel reading control circuit 6 be the next read-out addresses by adding the read-out address of the cel buffer 2 of Class D one time. (Step 48). Moreover, since it is the queue value which read the queue value of the port managed table 9 from the write-in address, and subtracted the address, priority modification / cel reading control circuit 6 carries out the queue value of the class D of a port 1 -one (subtraction) (step 49). Next, priority modification / cel reading control circuit 6 judges whether the value of a queue is 0, or it is except it (step 50), judges that there is no cel which should be outputted if it is "0", and sets the queue flag of the class D region of the port 1 of the port managed table 8 to "0" (step 51). Since a queue flag is already "1" when it is except "0", it moves to the next processing as it is (branching 52). Moreover, the output queue flag 32 is reset after a cel output.

[0086] The cel of the class D read from the cel buffer 2 is outputted to an output port 1 through the cel separation section. It moves to read-out processing of the next port 2 through branching 53 after that. After read-out processing termination of Port n (step 63), the value of the round robin table 15 (f) changes to (18), and changes a priority control register to (18).

[0087] Next, when it returns to read-out processing of a port 1 again, the case where the set

point of each register shows below is made into an example. As shown in drawing 12 (c), in "1" and Class C, "0" and Class D set [Class A / "0" and Class B] the queue flag of each class of an output port 1 to "0" for the queue flag of a port managed table. There is no selection modification of a round robin table. The value of a round robin table (f) Moreover, (18), That is, the priority information which the priority control register which the priority control register selection section 14 chooses has changed to (18), and is set as the priority control register It considers as the sequence (the priority of Class D is high) of Classes D and C, and there is no cel of Classes D and C and suppose that it is a time of reading the cel of Class B.

[0088] In drawing 6, like the above-mentioned, priority modification / cel reading control circuit 6 searches the field of the port 1 of the port managed table 8 (step 40), and recognizes the information on A= 0, B= 1, C= 0, and D= 0 (step 41). Next, priority modification / cel reading control circuit 6 searches the priority control register 13 (18), and recognizes that the priority of each class is the sequence of Classes D and C (step 42). Next, the full priority directions register 10 and the cel insertion directions register 11 to an empty slot are searched, and the contents of directions are recognized (step 43). At steps 41, 42, and 43, as shown in drawing 17 (3), it is decided that output class will be B, and an output queue flag is set. Next, it shifts to the cel read-out processing 45 of Class A, and since the output queue flag of the cel of Class A is "0", in an output queue flag condition judging (step 46), by going via branching 54, read-out actuation is not performed but it shifts to cel read-out processing of Class B.

[0089] Since the queue flag condition of the cel of Class B is "1", it sets to a queue flag condition judging (step 46). It moves to read-out processing of a cel buffer, and the read-out address of the cel buffer of the class B of the cel buffer 2 is obtained by referring to the field of the class B of the port 1 of the queue managed table 9. To the read-out timing of a cel buffer The information on a cel is made to output from the cel buffer 2 by directing the read-out address. Next, let priority modification / cel reading control circuit 6 be the next read-out addresses by adding the read-out address of the cel buffer 2 of Class B one time (step 48). Moreover, since it is the queue value which read the queue value of the port managed table 9 from the write-in address, and subtracted the address, priority modification / cel reading control circuit 6 carries out the queue value of the class B of a port 1 -one (subtraction) (step 49). Next, priority modification / cel reading control circuit 6 judges whether the value of a queue is 0, or it is except it (step 50), judges that there is no cel which should be outputted if it is "0", and sets the queue flag of the class area B of the port 1 of the port managed table 8 to "0" (step 51). Since a queue flag is already "1" when it is except "0", it moves to the next processing as it is (branching 52). Moreover, the output queue flag 32 is reset after a cel output.

[0090] The cel of the class B read from the cel buffer is outputted to an output port 1 through the cel separation section 3. Read-out processing of a port 2 to the port n is performed similarly henceforth. After read-out processing of Port n (step 63), the value of the round robin table 15 (f) changes to (17), and changes a priority control register to (17). Then, processing from return and a port 1 to Port n is repeatedly performed in a port 1.

[0091] Next, four examples from which the established state of the full priority directions register 10 and the cel insertion directions register 11 to an empty slot and the arrival cel pattern of each class which reaches a switch differ explain a priority-control period with reference to drawing 7, drawing 8, drawing 9, and drawing 10. However, this example of operation is explained among the processings repeatedly performed from a port 1 to Port N only paying attention to a port 1.

[0092] The example of cel output priority-control actuation when the output bands per port being 100 Mbit/s, and drawing 7 setting the output band of class A-D each class to 25Mbit/s, and not carrying out all class full priority directions and empty slot insertion directions is shown. Since it is easy, the priority-control period is made into 12 cel time amount, and the number of cels in which an output is possible within the priority-control period of each class serves as $12 \text{ cel} \times 25 / 100 = 3 \text{ cel}$. This value of 3 is set as the field of each class of the port 1 of the band setting register 20 in the output queue counter / round robin table control section 12 shown in drawing 4. Moreover, the arrival cel pattern of each class is arrival at equal spacing, and let the number of arrival cels be the number of cels and equal in which an output is possible. Suppose

that actuation was started from the condition without all class queues as an initial state. Moreover, it is an actual queue value (the number of cels currently held to the cel buffer 2) instead of a queue flag because of explanation. It is used. Moreover, T0-T12 show the output timing of a cel.

[0093] In drawing 7, first, supposing the cels A1, B1, C1, and D1 of four classes arrive by T0, the value of the queue of each class will be set to "1." At this time, the number of output cels is 0, there is no class which arrived at the setting band, and (a) which chooses the priority-control register with which the round robin table contained all four classes, and (referring to drawing 3) are chosen. The priority control register at this time is (1), priority is the highest, and the output queue flag of the class A with a queue is set, and the cel of A1 is read from the cel buffer 2. After read-out, the queues of Class A decrease in number one time, and are set to "0."

[0094] Next, in T1, there is no new arrival cel and the queue of classes other than Class A is still 1. According to a round robin table (a), the priority control register chosen by the priority control register selection section 14 changes to (2), and the cel of B1 of the highest class B of priority is read from the cel buffer 2. After read-out, the queues of Class B decrease in number one time, and are set to "0."

[0095] The priority control register (1) to which a round robin table (a) points similarly, (2), (3), and (4) are used hereafter repeatedly, and cel read-out processings from T2 to T8 are performed according to the priority.

[0096] If the cel of A3 of Class A is read from the cel buffer 2 by T8, the number of output cels of Class A will be set to 3, and an output queue counter / round robin table control section 12 will recognize it that the number of output cels of Class A arrived at the setting band, and it will be changed to (b) which chooses the priority control register which does not contain Class A for a round robin table, and (refer to drawing 3).

[0097] In T9, the priority control register to which a round robin table (b) points is (5), and the cel of B3 of the highest class B of priority is read from the cel buffer 2. At this time, the number of output cels of Class B is set to 3, and it is recognized as the number of output cels of Class B having arrived at [the output queue counter / round robin table control section 12] the setting band, and changes to (f) which chooses the priority control register which does not contain Classes A and B for a round robin table.

[0098] Whenever the class to which the number of output cels arrived at the setting band occurs like the following, a round robin table is changed, and according to the priority of the priority control register to which a round robin table points, the cel of a class with a queue is read from a cel buffer.

[0099] After reading D3 which is the 12th cel by T11, the number counter 23 of output cels in an output queue counter / round robin table control section 12 is reset, and the round robin table chosen by T12 is set to the same (a) as T0.

[0100] As mentioned above, in the example shown in drawing 7, cel output class inclines, and there is nothing and it turns out that band division is realized to the set-up band.

[0101] It is a setup which drawing 8 makes 25 Mbit/s the output band of class A-D each class like drawing 7, and does not carry out all class full priority directions and empty slot insertion directions, and the example of cel output priority-control actuation in case the arrival cel patterns of each class differ is shown. Each class of an arrival cel pattern is unequal, and it differs from the example which the point that the number of arrival cels of Classes A and B exceeds the output setting band shows to drawing 7.

[0102] In drawing 8, first, in T0, the cels A1 and B1 of Classes A and B arrive, and the value of the queue of Classes A and B is set to "1." At this time, the total number of class output cels is 0, there is no class which arrived at the setting band, and, as for the round robin table, (a) is chosen. The priority control register to which a round robin table (a) points at this time is (1), priority is the highest and the cel of A1 of the class A with a queue is read from the cel buffer 2. After read-out, the queues of Class A decrease in number one time, and are set to "0."

[0103] In T1, it is Class B that there is no new arrival cel and there is a queue. The priority control register to which a round robin table (a) points changes to (2), priority is the highest and the cel of B1 of the class B with a queue is read from the cel buffer 2. After read-out, the

queues of Class B decrease in number one time, and are set to "0."

[0104] Next, the cel A2 of Class A arrives by T2, and the value of the queue of Class A is set to "1." Although the priority control register to which a round robin table (a) points changes to (3), the class C with the highest priority and the class D high to the 2nd do not have a queue, and the cel of A2 of the class A of the 3rd priority is read from the cel buffer 2. After read-out, the queues of Class A decrease in number one time, and are set to "0."

[0105] Same processing is performed by T3 and T four, the cel of A3 is read from the cel buffer 2 by T four, the number of output cels of Class A reaches the set point, and an output queue counter / round robin table control section 12 changes a round robin table to (b).

[0106] Whenever the class to which the number of output cels arrived at the setting band occurs hereafter, a round robin table is changed, and according to the priority of the priority control register to which a round robin table points, the cel of a class with a queue is read from a cel buffer.

[0107] In the example shown in drawing 8, although [than the number of cels in which the output of the number of arrival cels of Classes A and B is possible] more, since the class which the round robin table changed and arrived at the setting band is removed from priority when the number of output cels arrives at a setting band, the cel of Classes A and B is not read across a setting band.

[0108] Drawing 9 makes 25 Mbit/s the output band of class A-D each class, and empty slot insertion directions are not carried out, but the example of cel output priority-control actuation at the time of setting priority as a full priority directions register in order of Classes A and B is shown. In this case, priority is given to the contents of the full priority directions register 10 over the contents of the priority-control register 13.

[0109] In drawing 9, to timing T0, it supposes that the cels C1 and D1 of Classes C and D arrived, and the queue of Classes C and D is set to "1." Although edit processing of the priority of a priority control register (1) is carried out by full priority directions of a full priority directions register, the priority after edit is the same as the priority of a priority control register (1) in this case. The queue value of Classes A and B is 0, and the cel of C1 of Class C is read from the cel buffer 2. After read-out, the queues of Class C decrease in number one time, and are set to "0."

[0110] To timing T1, the cels A1 and B1 of Classes A and B arrive, and the queue of Classes A, B, and D is set to "1." Since there are full priority directions in order of Classes A and B, the ranking of B, C, D, and A which are the priority of a priority control register (2) is changed, and the cel of A1 of Class A with the highest priority is read from the cel buffer 2. After read-out, the queues of Class A decrease in number one time, and are set to "0."

[0111] Next, to timing T2, there is no new arrival cel and a queue is in Classes B and D. Like timing T1, since there are full priority directions in order of Classes A and B, the ranking of C, D, A, and B which are the priority of a priority control register (3) is changed in order of A, B, C, and D, but since there is no queue of Class A, the cel of B1 of the high class B of priority is read from the cel buffer 2 next. After read-out, the queues of Class B decrease in number one time, and are set to "0."

[0112] Like the following, processing which made Classes A and B top priority is performed until the number of output cels of each class reaches the set point.

[0113] In the example shown in drawing 9, the cel of the class set as the full priority directions register is read from the cel buffer 2 by top priority, and all class output bands are guaranteed.

[0114] Drawing 10 sets the output band of class A-D each class to 25Mbit/s, and full priority directions are not carried out, but the example of cel output priority-control actuation at the time of setting Class D as the cel insertion directions register to an empty slot is shown.

[0115] In drawing 10, to timing T0, the cels A1, C1, and D1 of Classes A, C, and D arrive, and the queue of Classes A, C, and D is set to "1." The priority control register with which (a) is chosen and a round robin table (a) points to a round robin table at this time is (1). At this time, priority does not change, but since all classes are contained, even if there are empty slot insertion directions, priority is the highest to the priority of a priority control register (1), and the cel of A1 of the class A with a queue is read from the cel buffer 2 to it. After read-out, the

queues of Class A decrease in number one time, and are set to "0."

[0116] Hereafter, according to the priority of the priority control register to which a round robin table (a) points, cel read-out processing from T1 to T3 is performed similarly.

[0117] Although timing T four is similarly processed according to the priority of the priority control register (1) to which a round robin table (a) points, since all class queues cannot be found, by timing T four, no output queues are set as an output queue flag. Therefore, cel read-out from the cel buffer 2 is not performed, but it is vacant in an output port, and a cel is outputted.

[0118] Also with timing T5-T7, the same processing as the above T0 - T3 is performed, when the cel of D3 is read to timing T7, the number of output cels of Class D arrives at a setting band, and it changes to (e) which chooses the priority control register with which an output queue counter / round robin table control section 12 does not contain Class D for a round robin table.

[0119] It is edited into the priority which added the class D which has empty slot insertion directions in the tail of the priority of the priority control register (16) to which a round robin table (e) points, respectively, and (14) to timing T8 and T9. In this case, the priority of a priority control register (16) serves as C, A, B, and D, and serves as the priority of a priority control register (14), A, B, C, and D.

[0120] When the cel of C3 is shortly read to timing T9, the number of output cels of Class C arrives at a setting band, and an output queue counter / round robin table control section 12 changes to (k) which chooses the priority control register which does not contain Classes C and D for a round robin table.

[0121] To timing T10, it is processed according to the ranking of A, B, and D which added the class D which has empty slot insertion directions in the tail of the priority of the priority control register (27) to which a round robin table (k) points. To timing T10, there is a queue only in Class D, and since Class D has empty slot insertion directions even if the number of output cels has reached the set point, the cel D4 of Class D is read from the cel buffer 2.

[0122] Cel read-out processing is performed according to the priority of the priority control register (28) with which a round robin table (k) points to timing T11 similarly, and the priority determined by empty slot insertion directions.

[0123] As mentioned above, in the example shown in drawing 10, if a queue is in the class which has empty slot insertion directions in the class which has already arrived at the setting band when a queue does not have the number of output cels in the class of under a setting band, cel read-out will be performed from the class.

[0124] In addition, the one directions section may be made to constitute each directions section.

[0125] As mentioned above, by processing, as explained, according to the gestalt of the 2nd operation, the bias of the cel output class by the perfect priority control can be abolished, and band division can be realized by making the priority control register used among the priority-control registers which have two or more kinds patrol periodically on a round robin table.

[0126] Furthermore, since the change of a round robin table is controlled so that an output queue counter / round robin table control section 12 always supervises the number of output cels of each class and does not exceed a setting band, the output band of each class does not exceed the set point.

[0127] Moreover, by using a full priority directions register, the priority-control method of some classes in an output port or all classes can be considered as full priority, and mixture with the class of a perfect priority processing and the class of output band immobilization is also possible.

[0128] Moreover, it is also possible to output a cel when there is no cel which the class which filled the setting output band by using the cel insertion directions register to an empty slot holds to a cel buffer in other classes (at the time of empty slot generating).

[0129] According to the gestalt of the above 1st and the 2nd implementation, the cel in the cel buffer divided for two or more quality classes of every can be efficiently read from the high thing of priority. Since it requires only the field corresponding to the class to output, even if the number of access to the managed table which has recognized easily the class which should be

read at the time of cel read-out processing, and stored the read-out address of a cel of class divisions increases, it does not affect the processing time.

[0130] Moreover, according to the gestalt of the above 1st and the 2nd implementation, by changing the rate of each priority control register assigned on a round robin table, band division can be realized and it can avoid that only one classes are outputted.

[0131] Moreover, when a cel is lost to the cel buffer of the class which exists temporarily according to the gestalt of implementation of the above 2nd, priority is low at the moment, and also the cel of a class is outputted, but since the number of output cels of each class is controlled to always be supervised and not to exceed a setting band, the output band of each class does not exceed the set point. That is, the output band of each class can be set up for every output port, and the minimum output band can be guaranteed.

[0132] Moreover, full priority can be realized in a certain output port by setting priority as the full priority directions register corresponding to the class considered as full priority to consider the priority-control method of all classes or some classes as full priority.

[0133] Furthermore, when there is no cel in the cel buffer of other classes which is not filling the set-up output band, according to the priority, a cel can be sent out to the cel insertion directions register to the empty slot of an applicable class by setting the priority of the class which carries out insertion directions to output the cel of a class which is filling the already set-up output band at (the time of empty slot generating).

[0134] Moreover, since the output band of each class is managed by the output queue counter / round robin table control section, it is not necessary to perform band division on a round robin table strictly, and magnitude of a round robin table can be made small. That is, even if a round robin table is small, the output band of each class can be set up finely.

[0135] Moreover, since a round robin table is common-use-ized in a full power port, the amount of memory is sharply reducible.

[0136] Moreover, a round robin table, a priority control register, a band setting register, a full priority directions register, and the cel insertion directions register to an empty slot can be rewritten, and the number of classes and a port setup can be changed also in system operation by having a microcomputer interface.

[0137]

[Effect of the Invention] Also when according to this invention the priority control of an output cel can be performed efficiently and the number of class divisions (priority) increases, the processing time does not increase.

[0138] Moreover, the output band of each class can be set up for every output port, and an output band guarantee is attained.

[0139] Moreover, mixture with the class which enables modification of a setup of each class freely in each output port at output band immobilization and full priority, and considers an output band as immobilization, and the class which outputs a cel by the perfect priority control is permissible.

[0140] Furthermore, a cel output is attained when there is no cel which the class which filled the setting output band holds to a cel buffer in other classes.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram of the switching system of the output-buffer mold in the gestalt of operation of the 2nd of this invention.

[Drawing 2] The explanatory view showing the port managed table used with the gestalt of the 1st and operation of the 2nd of this invention.

[Drawing 3] The priority control register used with the gestalt of operation of the 2nd of this invention, the explanatory view showing the detail of a round robin table.

[Drawing 4] The explanatory view showing the detail of the output queue counter / round robin table control section used with the gestalt of operation of the 2nd of this invention.

[Drawing 5] The explanatory view showing the detail of priority modification / cel reading control circuit and the full priority directions register which are used with the gestalt of operation of the 2nd of this invention, and the cel insertion directions register to an empty slot.

[Drawing 6] The cel buffer read-out flow Fig. showing the gestalt of operation of the 2nd of this invention.

[Drawing 7] The explanatory view showing actuation of the cel output priority-control section of the gestalt of operation of the 2nd of this invention (1).

[Drawing 8] The explanatory view showing actuation of the cel output priority-control section of the gestalt of operation of the 2nd of this invention (2).

[Drawing 9] The explanatory view showing actuation of the cel output priority-control section of the gestalt of operation of the 2nd of this invention (3).

[Drawing 10] The explanatory view showing actuation of the cel output priority-control section of the gestalt of operation of the 2nd of this invention (4).

[Drawing 11] The block diagram of the switching system of the output-buffer mold in which the gestalt of operation of the 1st of this invention is shown.

[Drawing 12] The port managed table used with the gestalt of operation of the 2nd of this invention.

[Drawing 13] The cel buffer read-out flow Fig. showing the gestalt of operation of the 1st of this invention (1).

[Drawing 14] The cel buffer read-out flow Fig. showing the gestalt of operation of the 1st of this invention (2).

[Drawing 15] The cel buffer read-out flow Fig. showing the gestalt of operation of the 1st of this invention (3).

[Drawing 16] The explanatory view showing the conventional technique.

[Drawing 17] The explanatory view showing actuation of the output queue decision circuit used with the gestalt of operation of the 2nd of this invention.

[Description of Notations]

1-100 -- The cel multiplex section, 2-101 -- Cel buffer memory 3-102 -- Cel separation section, 4-103 -- The routing point / priority place class discrimination decision circuit 5-104 -- A cel write-in control circuit, 6 -- Priority modification / cel reading control circuit, 7 -- Memory interface, [-- Full priority directions register,] 8 -- A port managed table, 9 -- A queue managed table, 10 11 -- The cel insertion directions register to an empty slot, 12 -- An

output queue counter / round robin table control section, 13-92 -- A priority control register, 14-93 -- Priority control register selection section, 15-91 -- A round robin table, 16 -- Round robin table selection section, 17 -- The round robin table directions section, 18-94 -- Priority control register directions section, 20 -- A band setting register, 21 -- A band excess distinction circuit, 22 -- Band setting register designator, 23 -- The number counter of output cels, 30 -- An output queue decision circuit, 31 -- Priority edit register, 32 -- An output queue flag, 33 -- A cel reading control circuit, 34 -- Full priority directions register designator, 35 -- The cel insertion directions register designator to an empty slot, 41 -- Queue condition recognition processing of each class, 42 -- Priority judging processing of each class, 43 -- Full priority directions, empty slot insertion directions recognition processing, 44 -- Output-class decision processing, 45 -- Cel buffer read-out processing of Class A, 46 -- Existence judging processing of the output queue of the cel of Class A, 47 -- The transition root in case the output queue flag of the cel of Class A is "1", 48 -- A cel buffer read-out address update process, 49 -- Subtraction (-1) processing of the value of a queue, 50 -- Comparison processing with "0" of the value of a queue, 51 -- Queue flag "0" write-in processing, 52 -- Queue flag "1" write-in processing, 53 -- The transition root to cel read-out processing of a port 2, 54 -- The transition root in case the queue flag of the cel of Class A is "0", 55 -- Cel buffer read-out processing of Class B, 56 [-- Existence judging processing of the queue of the cel of Class A, 105 / -- A cel reading control circuit (perfect priority control), 106 / -- Managed table.] -- Cel buffer read-out processing of Class C, 57 -- Cel buffer read-out processing of Class D, 90 -- A cel reading control circuit, 95

[Translation done.]